STILL VIDEO CAMERA PROVIDED WITH REMOVABLE RECORDING MEDIUM

Patent Number: JP4078280
Publication date: 1992-03-12
Inventor(s): TANIGUCHI NOBUYUKI; others: 03
Applicant(s):: MINOLTA CAMERA CO LTD
Requested Patent: JP4078280
Application Number: JP19900188117 19900718
Priority Number(s):
IPC Classification: H04N5/781 ; H04N5/91
EC Classification:
Equivalents:

Abstract

PURPOSE:To improve the operability by transferring and recording a recorded picture to a removable 2nd picture recording medium from a camera.
CONSTITUTION:Whether or not an IC card 41 is loaded to a camera is discriminated and when the IC card is loaded to the camera, the state of a memory of the IC card 41 is inputted from a signal processing CPU 51 and a signal CSDP is brought into logical H to make the communication complete. When the IC card is not recorded and the internal memory has a recorded picture, and when the processing of all picture data recorded in the internal memory is finished, number of frames stored in the internal memory 40 is subtracted from number of frames able to be recorded on the IC card 41 and the resulting frame number is displayed for the recordable frame number onto the IC card 41 to make the processing complete.

⑲日本国特許庁(JP)　⑪特許出願公開

⑫公開特許公報(A)　平4-78280

⑤Int.Cl.⁵	識別記号	庁内整理番号	⑬公開　平成4年(1992)3月12日
H 04 N 5/781	E	7916-5C	
5/91	J	7205-5C	

審査請求　未請求　請求項の数 1　(全28頁)

⑭発明の名称　着脱自在な記録媒体を備えたスチルビデオカメラ

⑳特　願　平2-188117
㉒出　願　平2(1990)7月18日

㉑発明者　谷口　信行　大阪府大阪市中央区安土町2丁目3番13号　大阪国際ビル　ミノルタカメラ株式会社内
㉑発明者　田中　良弘　大阪府大阪市中央区安土町2丁目3番13号　大阪国際ビル　ミノルタカメラ株式会社内
㉑発明者　新谷　大　大阪府大阪市中央区安土町2丁目3番13号　大阪国際ビル　ミノルタカメラ株式会社内
㉑発明者　雑波　克行　大阪府大阪市中央区安土町2丁目3番13号　大阪国際ビル　ミノルタカメラ株式会社内
㉑出願人　ミノルタカメラ株式会社　大阪府大阪市中央区安土町2丁目3番13号　大阪国際ビル
㉔代理人　弁理士　大谷　幸太郎　外1名

明　細　書

1．発明の名称

着脱自在な記録媒体を備えたスチルビデオカメラ

2．特許請求の範囲

複数枚分の画像記録領域を備え、カメラ内部に記憶された第1の画像記録媒体と、複数枚分の画像記録領域を備え、カメラ本体に対して着脱自在とされた第2の画像記録媒体とを備えたスチルビデオカメラにおいて、

前記第2の画像記録媒体のカメラ本体への装着状態を検出する検出手段と、

前記検出手段により前記第2の画像記録媒体がカメラ本体に装着されていることが検出されたとき、前記第1の画像記録媒体に記録されている画像信号を前記第2の画像記録媒体の記録可能領域に転送記録させる制御手段

とを備えたことを特徴とする着脱自在な記録媒体を備えたスチルビデオカメラ。

3．発明の詳細な説明

〔産業上の利用分野〕

この発明は静止画像を電気信号に変換し、電子記録媒体に記録するスチルビデオカメラに関する。

〔従来の技術〕

スチルビデオカメラにおいては、カメラに着脱自在とされた記録媒体、例えばICカードに画像を記録した後、これを取り外して別の再生装置、即ちCRTディスプレイ装置、プリンタなどに装着して記録画像の再生をするものが提案されている。

また、カメラにICカードなどの記録媒体のほか、内部メモリを備え、ICカードなどの記録媒体が装着されていなくとも、画像記録が可能なものが提案されている。

〔発明が解決しようとする課題〕

前記した従来のスチルビデオカメラにおいて、後者のものにあっては、内部メモリに記録された画像を再生するためには、カメラ本体をCRTディスプレイ装置やプリンタに接続する必要があり、操作性の点で著しく不便であった。

この発明は上記課題を解決することを目的とするものである。

〔課題を解決するための手段〕

この発明は上記課題を解決するため、内部メモリに記録された画像信号をICカードなど着脱自在な記録媒体に転送記録できるようにしたものであって、複数枚分の画像記録領域を備え、カメラ内部に記憶された第1の画像記録媒体と、複数枚分の画像記録領域を備え、カメラ本体に対して着脱自在とされた第2の画像記録媒体とを備えたスチルビデオカメラにおいて、前記第2の画像記録媒体のカメラ本体への装着状態を検出する検出手段と、前記検出手段により前記第2の画像記録媒体がカメラ本体に装着されていることが検出されたとき、前記第1の画像記録媒体に記録されている画像信号を前記第2の画像記録媒体の記録可能領域に転送記録させる制御手段とを備えたことを特徴とする。

〔作　用〕

カメラ本体に対して着脱自在とされた第2の画像記録媒体がカメラ本体に装着されたときは、カメラ本体内部に記憶された第1の画像記録媒体に記録されている画像信号を読み出して第2の画像記録媒体の記録可能領域に記録する。これにより、記録された画像記録信号はすべて着脱自在の記録媒体に記録してカメラ本体から取り出すことが可能となる。

〔実　施　例〕

以下、この発明の実施例について説明する。第1図はこの発明に係るカメラの外観を示す斜視図であって、1はカメラ本体、2は撮影レンズ、3はレンズ保護用バリアの開閉つまみ、4はシャッタ釦で、その第1段押しで後述するスイッチS1が閉じ、第2段押しでスイッチS2が閉じる。

5は表示部で、記憶した画像の駒番号の表示、ICカードの有無、日付、その他カメラの動作状態を表示する。6はファインダー窓、7はマクロ撮影用の投光窓、8は画像を記録するICカードの挿入口、9はフラッシュ装置の接続部、10はカメラ本体とフラッシュ装置の接続用接点である。次に操作スイッチについて説明する。S3はカメラの備える各種機能を切換えるスライド型のモード切換スイッチで、選択できるモードは次のとおりである。

OFF：カメラの起動が禁止される。

REC：記録モードであって、カメラの内部メモリ、あるいは着脱自在な外部記録媒体（以下、ICカードという）に画像が記録される。

PLAY：再生モードであって、内部メモリ、あるいはICカードに記録されている画像が再生され、映像信号が出力される。この信号に基づいて図示しないビデオ表示装置に記録画像が再生される。

ERASE-ALL：内部メモリとICカードに記録されている画像を全て消去する消去モードである。

ERASE-SINGL：内部メモリあるいはICカードに記録されている撮影画像1駒を消去する単駒消去モードである。このモードでも後述するプロテクト機能により保護された画像は消去されない。

S4，S5はアクセススイッチで、スイッチS4（UP）は画像再生時は記録画像の順送り用スイッチとして機能し、日付設定時は日付を増加させるスイッチとして機能する。また、スイッチS5（DOWN）は画像再生時は記録画像の逆送り用スイッチとして機能し、日付設定時は日付を減少させるスイッチとして機能する。

S6は内部メモリあるいはICカードに記録された画像のうち、残しておきたい画像を誤って消去しないよう保護するプロテクトスイッチで、「PROT.」と表示されている。スイッチS6がOFFの位置にあるときはプロテクト機能は働かず、ONの位置にあるときはプロテクト機能が働く。また、REMOVE位置、即ち解除位置にあるときは、一度プロテクトされた画像のプロテクト状態を解除する。

S7はプロテクト／消去作動スイッチで、モー

P切換スイッチS3がERASE（SINGL，ALLいづれの位置であってもよい）位置にあるときにONされると消去動作が実行され，プロテクトスイッチS6がPHOT位置にあるときにONされるとプロテクト動作が実行される．

S8は記録画像の再生時の駒送りを自動で行うか手動で行うかを切換える駒送り切換スイッチで，AUTO，即ち自動に設定すると，その後アクセススイッチS4，S5の操作によらず，一定時間毎に記録画像が自動的に駒送りされて順次再生される．また，MANUAL，即ち手動に設定すると，アクセススイッチS4，S5の操作により1駒づつ駒送りされる．

S9はマクロ撮影用スイッチ，S10はフラッシュ撮影を設定するスイッチである．

S12は日付設定用モードスイッチで，ONとする毎に，Y（年）→M（月）→D（日）→H（時）→M1（分）→Y（年）の順に循環的にモードが切換えられる．

S13は日付設定スイッチで，スイッチS12で選択されたモードのデータが設定される．

第2図はカメラの制御回路のブロック図を示す．

30はカメラ全体を制御するCPU，31は信号処理部であって，映像信号の記録再生処理を行う．その詳細は後述する．32はCCDなどからなる固体撮像素子（以下CCDという）で，撮影レンズ2から入射した画像を映像信号に変換する．33は前記CCDから出力された映像信号の相関二重サンプリング部，34は映像信号をデジタル信号に変換するA／D変換器，35はCCD32，サンプリング部33，A／D変換器34の同期をとるクロック発生回路で，CPU30から出力される制御信号INREL，EXSTPで制御される．36は測光回路で，被写体輝度を測定し，測定結果をCPU30に出力すると共に，調光回路として動作し，フラッシュ光の調光制御も行う．37はフラッシュ装置で，発光部と充電用コンデンサを備えている．38は電源で，CPU30から出力される制御信号PWCで制御される．5は表示部で，先に説明したとおり画像時数，その他の表示を行う．LAはマクロ撮影時の照明用ランプ，PLはシャッタ作動用電磁プランジャである．

40はカメラに内蔵された内部メモリで，少なくとも1駒分（この実施例では10駒分）の画像記録容量を有する．41はカメラ本体に着脱自在なICカードであって，SRAM等の半導体メモリを備え，複数駒分（この実施例では32駒分）の画像記憶容量を有する．

次にスイッチ回について説明すると，S1はレリーズ釦4の第2段押しでONとなるスイッチ，S2はレリーズ釦4の第2段押しでONとなるスイッチである．S3乃至S9，及びS11～S13は第1図に示すカメラ本体にその操作部が表されているスイッチで，その機能は先に第1図で説明したとおりである．S10はICカード41をカメラ本体の挿入部8から挿入するとONとなるスイッチで，ICカード41の装着を示す信号を出力する．

次に信号線で伝送される信号について説明する．

CHSTAはフラッシュ装置37のコンデンサに充電開始を指令する信号，CHCはフラッシュ装置37のコンデンサ充電完了を示す信号，FLSTAはフラッシュ装置37に対してフラッシュ発光を指令する信号，PSTOPは調光回路36で検出したフラッシュの光量が所定値に達したとき（調光完了時）にフラッシュの発光停止を指令する信号である．

INRELはシャッタレリーズ開始信号で，CPU30からクロック発生回路35に出力される．クロック発生回路35はこの信号に応答して露出制御の開始を示す信号EXSTAをCPU30に出力する．EXSTPは露出制御終了信号で，CPU30からクロック発生回路35に出力される．また，シャッタレリーズ開始信号INREL及び露出制御終了信号EXSTPは後述する信号処理部31にも出力される．

CSDPはCPU30と信号処理部31との間

の信号の伝送を制御する信号，SOUT，SINはCPU30と信号処理部31との間でシリアルデータとして伝送されるデータ信号，SCKはCPU30から信号処理部31に伝送されるシリアルクロック信号，BUSYは信号処理部31が信号処理中であることをCPU30に伝える信号，LBCはマクロ撮影が実行されることを示す信号，VOUTは信号処理部31から出力される映像信号である．

第3図は信号処理部31の詳細を示すブロック図である．51は信号処理部31全体の制御を行う信号処理CPU，52は映像信号の処理（圧縮を含む）を行う信号処理回路，53はクロック発生回路35からのクロック信号を受けてアドレス信号を発生するアドレス発生回路である．

54は信号処理回路52から出力される信号RD／CDに基づいて，アドレス発生回路53から出力されるアドレス信号，即ちCCD32から出力される映像信号をバッファメモリ55に記録する際に使用するアドレス信号バスと信号処理時にバッファメモリ55を使用する際のアドレス信号バスのいずれかを選択するマルチプレクサである．

56は信号処理CPU51から出力される信号D1／D2に基づいて，信号処理回路52から出力されるアドレス信号バスADB1，即ち映像記録用内部メモリ40とICカード41に対する映像信号の記録再生の際に使用するアドレス信号バスと，信号処理CPU51から出力される映像信号以外のデータ信号，例えば駒番号，プロテクトデータ等の信号を内部メモリ40とICカード41に記録する際のアドレス信号バスADB2のいずれかを選択するマルチプレクサである．

57は信号処理CPU51から出力される信号C1／D2に基づいて映像信号バスDB1と駒番号，プロテクトデータ，消去データ（ERASE），プロテクト除去データ（REMOVE），クロノデータ等の映像信号以外のデータ信号バスDB2とを選択するマルチプレクサである．

また，58は映像信号出力時にデジタル信号をアナログ信号に変換するD／A変換器である．

次に信号線で伝送される信号について説明する．信号処理CPU51から出力される信号のうち，ENAは信号処理回路52での信号処理を許容する信号，REC／PLAYは信号処理回路52での信号処理を記録モードで実行するか再生モードで実行するかを制御する信号，RE／WRは内部メモリ40，ICカード41に対する映像信号の書込み／読出しを制御する信号，ERASEは内部メモリ40，ICカード41に記録されている映像信号の消去を制御する信号，CSOUTはICカード41とのデータ交信を制御する信号，CSINは内部メモリ40とのデータ交信を制御する信号である．

第4図は，この発明のカメラに着脱可能なフラッシュ装置の外観を示す斜視図である．カメラ本体1のフラッシュ装置接続部9に係合する接続部21には接続用電気接点22が設けられ，カメラ本体1の電気接点10と接触する．23は発光部を示す．

第5図はフラッシュ装置の回路図を示す．この回路は周知の回路であるので，その構成と動作の概略について説明する．図において61は電源電池，62はDC／DCコンバータからなる昇圧回路，63は電荷蓄積用主コンデンサ，64はネオン管，65はトリガ回路，66はキセノン放電管，67はサイリスタを示す．

次に，その動作について説明すると，カメラのCPU30から端子L1に印加されている充電開始を指令する信号CHSTAが"H"になると，昇圧回路62が動作を開始して，電池61の電圧が昇圧され，主コンデンサ63に充電される．主コンデンサ63の端子電圧が所定値に達すると，端子L3に出力される信号CHCが"H"となり，CPU30に充電完了を知らせる．カメラのCPU30から端子L4に印加されているフラッシュの発光を指令する信号FLSTAが"H"になると，トリガ回路65が動作し，キセノン放電管66の発光を開始させる．カメラの調光回路

３６で被写体からの反射光を検出し，所定光量に達すると端子Ｌ５に印加されている発光停止信号ＦＬＳＴＰが“Ｈ”となり，サイリスタ６７に逆バイアス電圧を加えるので発光が停止される．

撮像部の構成について説明する．第６図は撮像部の光軸を含む面に沿った断面図であり，２は焦点距離ｆの球形レンズ，７０はレンズ２の結像面で球形となっている．７１は光ファイバーで，その入射端は球形の結像面７０に沿って配置され，射出端はＣＣＤ３２の受面に配列されている．光ファイバー７１の拡大率が３倍のものを用いると，焦点距離ｆ×３の像がＣＣＤ３２上に結像したものと同一の像を結像させることができる．このように所望の拡大率を有する光ファイバーを用いることにより，撮像部の厚みをレンズの焦点距離と光ファイバー部の寸法（例えば３ｍｍ）程度にまで薄くすることができ，また，ＩＣカードと組合せることでカメラ本体の厚みを薄く形成することが可能となる．

なお，球形レンズを撮影レンズに用いる利点は以下のとおりである．一般に球形レンズを用いて無限遠にある物体の像を結像させる場合，球形レンズの球対称性に起因して結像面は球形レンズと同心の球面となる．したがって球形レンズにおいては軸上と軸外の収差が同等の値を持つことになり，軸上でほぼ良好な収差補正を達成できれば，軸外の収差も補正される．したがって，普通のレンズ系に比較して小型で単純な光学系であるにもかかわらず，適当な収差補正を施せば，周辺光量の低下が少なく，明るい結像性能の良いレンズを得ることができるものである．

次に，ＣＰＵ３０で実行されるカメラの制御動作を第７図から第１７図に示すフローチャートを参照して説明する．

第７図は制御全体の概略を示すフローチャートで，各種スイッチ類の状態を調べ，スイッチに対応した処理ルーチンへ移ることを示している．制御動作の開始と共に，まずモード切換スイッチＳ３がＯＦＦの位置に設定されているか否かを調べ，ＯＦＦの場合はＯＦＦ処理のルーチンへ移る（ステップＰ１００，Ｐ１０１）．モード切換スイッチＳ３がＲＥＣ．即ち記録モードに設定されているか否かを調べ，記録モードの場合は記録モード処理のルーチンへ移る（ステップＰ１０２，Ｐ１０３）．シャッタレリーズ釦の一段押しでＯＮするスイッチＳ１の状態を調べ，ＯＮの場合はＳ１　ＯＮ処理ルーチンへ移る（ステップＰ１０４，Ｐ１０５）．モード切換スイッチＳ３がＰＬＡＹ．即ち再生モードに設定されているか否かを調べ，再生モードの場合は再生モード処理のルーチンへ移る（ステップＰ１０６，Ｐ１０７）．モード切換スイッチＳ３がＥＲＡＳＥ．即ち消去モードに設定されているか否かを調べ，消去モードの場合は消去モード処理のルーチンへ移る（ステップＰ１０８，Ｐ１０９）．アクセススイッチＳ４（ＵＰ）の状態を調べ，ＯＮされているときはＳ４処理ルーチンへ移る（ステップＰ１１０，Ｐ１１１）．アクセススイッチＳ５（ＤＯＷＮ）の状態を調べ，ＯＮされているときはＳ５処理ルーチンへ移る（ステップＰ１１２，Ｐ１１３）．駒送り切換スイッチＳ８がＡＵＴＯ．即ち自動モードに設定されているか否かを調べ，自動モードの場合は自動モード処理ルーチンへ移る（ステップＰ１１４，Ｐ１１５）．駒送り切換スイッチＳ８がＭＡＮＵＡＬ．即ち手動モードに設定されているか否かを調べ，手動モードの場合は手動モード処理ルーチンへ移る（ステップＰ１１６，Ｐ１１７）．日付設定スイッチＳ１３の状態を調べ，ＯＮの場合は日付処理ルーチンへ移る（ステップＰ１１８，Ｐ１１９）．

第８図は第７図に示すフローチャートのステップＰ１０１として示したモード切換スイッチＳ３がＯＦＦの場合の処理ルーチンである．まず，各ポート，タイマをリセットし（ステップＰ１３１），プロテクト機能が作動中であることを示す表示部がＯＮか否かを判定し，ＯＮであれば表示をＯＦＦとする（ステップＰ１３２，Ｐ１３３）．記録画像の駒数が記録可能駒数に達したことを示す終了表示がＯＮか否かを判定し，

ＯＮであれば表示をＯＦＦとする（ステップＰ１３４，Ｐ１３５）．ＩＣカード４１がカメラ本体に挿入されていることを示す表示がＯＮか否かを判定し，ＯＮであれば表示をＯＦＦとする（ステップＰ１３７），日付表示をＯＦＦとし，記録画像の駒数を示すカウンタ表示をＯＦＦとし（ステップＰ１３８，Ｐ１３９），電源３８に対する信号ＰＷＣを“Ｈ”として電源回路を遮断して（ステップＰ１４０），主ルーチンに戻る．

第９図は第７図に示すフローチャートのステップＰ１０３として示したモード切換スイッチＳ３が記録モード（ＲＥＣ）の場合の記録モード処理ルーチンを示す．まず，モード切換スイッチＳ３がＯＦＦからＲＥＣの位置へ切換ったか否かを判定し（ステップＰ１５１），切換った場合は信号ＰＷＣを“Ｌ”として電源３８をＯＮとする（ステップＰ１５２）．ＩＣカード４１がカメラに挿入されているか否かを判定し（ステップＰ１５３），挿入されているときは，ＩＣカード表示をＯＮとし（ステップＰ１５４），信号ＣＳＤＰを“Ｌ”として信号処理ＣＰＵ５１からＩＣカード４１の記録状態（記録駒数など）を示すカードデータを受け，交信終了後信号ＣＳＤＰを“Ｈ”として交信を終了する（ステップＰ１５５，Ｐ１５６，Ｐ１５７）．ＩＣカード４１の記録部が一杯いで記録不可か否かを判定し（ステップＰ１５８），記録不可の場合は終了の表示をＯＮとし，記録可能駒数を示すカウンタ表示をＯＮとし，日付表示をＯＮとして（ステップＰ１６０，Ｐ１６１，Ｐ１６２），主ルーチンに戻る．ステップＰ１５８の判定でＩＣカードに未記録部があり，記録可能な場合はステップＰ１６０は省かれる．

ステップＰ１５３の判定でＩＣカード４１が挿入されていないと判定されたときは，信号ＣＳＤＰを“Ｌ”として信号処理ＣＰＵ５１から内部メモリ４０の記録状態（記録駒数など）を示すメモリデータを受け，交信終了後信号ＣＳＤＰを“Ｈ”として交信を終了して（ステップＰ１６５，Ｐ１６６，Ｐ１６７），ステップＰ１６１に移る．

ステップＰ１５１の判定でＯＦＦからＲＥＣに切換ったのでなければ，モード切換スイッチＳ３がＰＬＡＹからＲＥＣの位置へ切換ったか否かを判定し（ステップＰ１７０），切換った場合は表示部のＰＬＡＹの表示をＯＦＦとし，信号ＣＳＤＰを“Ｌ”として信号処理部にＰＬＡＹからＲＥＣに切換ったことを知らせる信号を出力し，信号ＣＳＤＰを“Ｈ”として交信を終了して（ステップＰ１７１，Ｐ１７２，Ｐ１７３，Ｐ１７４），主ルーチンに戻る．

第１０図（ａ）乃至第１０図（ｆ）は第７図に示すフローチャートのステップＰ１０５として示したレリーズ釦の第１段押しでＯＮするスイッチＳ１がＯＮとされた場合の処理ルーチンである．まず，記録モード（ＲＥＣ）か否かを判定する（ステップＰ２０１）．記録モードでないときは撮影が不可能であることを示すため，表示部５の表示を点滅させ，スイッチＳ１がＯＦＦになるのを待って主ルーチンに戻る（ステップＰ２０７，Ｐ２０８）．

ステップＰ２０１の判定で記録モードの場合は，記録画像の駒数表示カウンタが０か否かを判定し（ステップＰ２０２），０の場合はこれ以上画像記録が不可能なことを示すから，タイマ１に所定値Ｋ１をセットして計時を開始させ，カウンタ表示を点滅させる（ステップＰ２０３，Ｐ２０４）．タイマ１の計時終了を待ち，カウンタ表示を連続点灯に切換え（ステップＰ２０５，Ｐ２０６），主ルーチンに戻る．

ステップＰ２０２の判定でカウンタが０でない場合は，即ち撮影が可能であることを示すから，ステップＰ２１０以降の処理に移る．まず，マクロ撮影スイッチＳ９がＯＮか否かを判定し，ＯＮの場合はマクロ撮影ランプＬＡを点灯する（ステップＰ２１０，Ｐ２１１），マクロ撮影でない場合はステップＰ２１１は省かれる．測光回路３６で測光した被写体輝度をＡ／Ｄ変換して入力する（ステップＰ２１２），マクロ撮影スイッチＳ９がＯＮか否かを判定し（ステップ

P213)．ONの場合はスイッチP230に移る。マクロ撮影スイッチS9がONでない場合は、被写体が逆光か、低輝度かを判定し（ステップP214，P215）、逆光でも低輝度でもない場合はステップP230に移る。逆光、あるいは低輝度の場合は、フラッシュ撮影スイッチS11がONか否かを判定し（ステップP216）、ONの場合はフラッシュ装置37の主コンデンサ63の充電完了を示す信号CHCが"H"かいなかを判定し（ステップP217）"H"の場合はステップP230に移る。また"H"でない場合は主コンデンサの充電開始を指令する信号CHSTAを"H"として充電を開始させ、充電完了を待って信号CHSTAを"L"として充電を停止させる（ステップP219，P220，P221）。スイッチS1がONか否かを調べ、ONの場合はステップP230に移り、ONでない場合は主ルーチンに戻る。

ステップP230ではフラッシュモードか否かを判定する。フラッシュモードの場合は逆光か否かを判定し、逆光の場合は被写体輝度から定まるシャッタ速度TVAをフラッシュ制御用シャッタ速度TVFとし、逆光でない場合は手振れ限界で定まるシャッタ速度TVHをフラッシュ制御用シャッタ速度TVFとする（ステップP231，P232，P233）。ステップP230の判定でフラッシュモードでない場合は、被写体輝度から定まるシャッタ速度TVAと手振れ限界で定まるシャッタ速度TVHの大小を判定し、TVA≧TVHの場合はTVAを露出制御用シャッタ速度TVCとし、TVA<TVHの場合はTVHを露出制御用シャッタ速度TVCとする（ステップP234，P235，P236）。

レリーズスイッチの第2段押しでONとなるスイッチS2がONか否かを判定し（ステップP237）、ONでない場合はスイッチS1を調べ、ONのときはステップP237に戻り、ONでないときはマクロ撮影用ランプLAをOFFとして（ステップP238，P239）、主ルーチンに戻る。

ステップP236の判定でスイッチS2がONの場合は、シャッタ作動用プランジャPLをONとし、露出動作の開始に入り、まずレリーズ開始信号INRELを"L"としてクロック発生回路35と信号処理部31にレリーズ開始を報知する（ステップP240，P241，P242）。マクロ撮影スイッチS9がONか否かを判定し、ONの場合は信号LBCを"L"として信号処理部31での信号処理における補正をランプによる撮影のためのWB，γ補正に切換え、ONでない場合は信号LBCを"H"として通常撮影のためのWB，γ補正に切換える（ステップP234，P244，P245）。クロック発生回路35から出力される露出開始信号EXSTAが"L"になるのを待ち（ステップP246）、フラッシュモードか否かを判定する（ステップP247）。フラッシュモードでないとき、即ち通常の撮影の場合は先に求めた通常撮影時のシャッタ速度TVCに基づいてタイマ2に値2-TVCをセットし、計時を開始する。タイマの計時終了で露出が完了し（ステップP248，P249，P250）、ステップP260に移る。

ステップP247の判定でフラッシュモードの場合、先に求めたフラッシュ撮影時のシャッタ速度TVFに基づいてタイマ2に値2-TVFをセットし、計時を開始する（ステップP251，P252）。タイマ3にフラッシュ装置の発光タイミングを規定する値をセットし、計時を開始する（ステップP253，P254）。タイマ3よりもタイマ2の計時が先に終了したとき（露光中に急に明るくなった場合など）は、フラッシュの発光なしで露出完了となり、ステップP260に移る。また、タイマ2よりもタイマ3に計時が先に終了したときは、フラッシュ装置を発光させ、調光制御して発光を停止させて露出を終了し（ステップP255，P256，P257，P258）、ステップP260に移る。

シャッタ作動用プランジャPLをOFFとし（ステップP260）、信号処理部31内での信号処理の終了を待つ（ステップP261）。マクロ撮影スイッチS9がONか否かを判定し（ステップP262）、ONの場合はランプLAをOFFとして（ステップP264）、ステップP269に移り、OFFの場合はフラッシュ撮影スイッチS11がONか否かを判定する。スイッチS11がOFFの場合はステップP269に移り、ONの場合はフラッシュ装置37の主コンデンサ63の充電完了を示す信号CHCが"H"か否かを判定し（ステップP256）、"H"の場合はステップP269に移る。信号CHCが"H"でない場合は主コンデンサの充電開始を指令する信号CHSTAを"H"として充電を開始させ、充電完了を待って信号CHSTAを"L"として充電を停止させる（ステップP266，P267，P268）。

日付データ等の付加データをデータバスDB2を介して内部メモリ40、ICカード41に記録し、露出終了を示すため信号INRELを"H"とする（ステップP269，P270）。

プロテクトスイッチS6がONの位置に設定されているか否かを判定し（ステップP271）、ONでない場合はプロテクト表示をOFFとして（ステップP272）、ステップP280へ移る。ONの場合はタイマ1に所定値K1をセットして計時を開始する（ステップP273～P275）。タイマ1の計時中にプロテクト／消去作動スイッチS7がONされたか否かを判定し（ステップP275）、ONの場合は、直前に撮影した映像記録時はプロテクトするものとし、プロテクトデータをデータバスDB1を介して内部メモリ40、あるいはICカード41に記録し、プロテクト表示をONとし、プロテクト／消去作動スイッチS7がOFFになるのを待って（ステップP276，P277，P278）、ステップP280に移る。また、ステップP275の判定でスイッチS7がONでない場合は、タイマ1の計時終了を待って、即ちタイマ1の計時中にプロテクト／消去作動スイッチS7が押されなかった場合はプロテクトしないものとし、タイマ1の計時終了後（ステップP279）、ステップP280に移る。

現数カウンタの内容から1を減じカウンタの内容が0か否かを判定し、さらにICカード41が挿入されているか否かを判定する（ステップP280，P281，P282）。カウンタが0でない場合、及びICカードが挿入されていない場合はステップP286へ移る。カウンタが0で、かつICカードが挿入されているときは、ICカードにはこれ以上記録できないので、カウンタの内容を10（内部メモリ40の画像記録容量）にセットし、ICカードの記録の終了表示をONにする（ステップP283，P284，P285）。アドレスバスADB1を介してカウンタの現番号に対応する画像データを内部メモリから読出し、その現がプロテクトされているか否かを示すデータを入力する（ステップP286，P287）。その現に既にプロテクトデータが書込まれているか否かを判定し（ステップP288）、書込まれている場合は、その現に画像を記録しないため、ステップP280に戻り、次の現についての処理に移る。

ステップP288の判定の結果、プロテクトデータが書込まれていない場合は、レリーズ釦の第1段押しでONとなるスイッチS1がOFFになるのを待ち（ステップP289）、OFFの場合はプロテクトスイッチS6がONか否かを判定する（ステップP290）。スイッチS6がONの場合は、タイマ1に所定値K1をセットして計時を開始し、所定時間だけプロテクト表示を点滅した後、連続点灯してプロテクト完了を知らせて（ステップP291～P294）ステップP296に移る。ステップP290の判定でプロテクトスイッチS6がOFFの場合はプロテクト表示をOFFとし、次に撮影可能な現番号をカウンタに表示して（ステップP295，P296）、主ルーチンに戻る。

第11図は第7図に示すフローチャートのステップP107として示した機能切換スイッチS3が再生モード（PLAY）の場合の再生モード処理ルーチンのフローチャートを示す。まず、

機能切換スイッチS3がRECからPLAYの位置へ切換ったか否かを判定し（ステップP301），切換った場合はPLAY表示をONとし，信号CSDPを"L"として信号処理部31にPLAYモードに切換ったことを知らせ，信号CSDPを"H"として交信を終了する（ステップP302～P305）．ステップP301の判定でスイッチS3がRECからPLAYに切換ったのでない場合は，モード切換スイッチS3がERASEからPLAYに切換ったか否かを判定し（ステップP306），切換った場合はERASE表示をOFFとしてステップP302に移る．また，切換ったのでない場合はステップP308に移る．

ICカードA41が挿入されているか否かを判定し（ステップP308），ICカードA41が挿入されているときはカード表示をONとし，再生モードでICカードが挿入されたばかりか否かを判定し，挿入されたばかりのときはカウンタに再生可能時数32をセットし，カードモードを設定する（ステップP309～P312），ステップP310の判定でICカードが先に挿入されていたのであれば再生可能時数の設定などの処理（ステップP311，P312）は省かれる．ステップP308の判定でICカードが挿入されていないときは，カード表示をOFFとし，再生モードでICカードが抜かれたばかりか否かを判定し，抜かれたばかりのときはカウンタに再生可能時数10をセットし，内部メモリモードを設定する（ステップP313～P316），ステップP314の判定で先にICカードが抜かれていたのであれば再生可能時数の設定などの処理（ステップP315，P316）は省かれる．

カウンタ内容をアドレスバスADBIを介して出力し，カウンタ内容を表示し，ICカードA41，あるいは内部メモリ40から該当するアドレスの画像データを読出し，映像信号として出力する（ステップP317～P319），アクセススイッチS4（UP）が押されたときは後述するS4処理ルーチンへ移り，アクセススイッチS5（DOWN）が押されたときは後述するS5処理ルーチンへ移り，他モードの選択スイッチが押されたときは主ルーチンに戻り，該当するサブルーチンへ移る（ステップP320～P322），アクセススイッチS4，S5，他モード選択スイッチのいずれも押されていない場合はステップP319に戻り，映像信号の出力を続ける．

第12図（a）乃至第12図（c）は第7図に示すフローチャートのステップP109として示したモード切換スイッチS3が消去モード（ERASE）の場合の消去モード処理ルーチンを示す．まず，モード切換スイッチS3がERASE・SINGLEに設定されたか否かを判定し（ステップP331），ERASE・SINGLEの場合，即ち単一駒の消去の場合はステップP332に移り，ERASE・ALLの場合，即ち全駒消去の場合はステップP371に移る．

ステップP332ではモード切換スイッチS3がPLAYからSINGLEに切換えられたか，ALLからSINGLEに切換えられたかを判定し，前者の場合はPLAY表示をOFFとし，後者の場合は全駒を示す"A"表示をOFFとする（ステップP332～P335），単一駒を示す"S"表示をONとし，信号CSDPを"L"とし，信号処理CPUS1に単一駒消去モードであることを知らせ，信号CSDPを"H"として交信を終了する（ステップP336～P339）．

ついでICカードA41が挿入されているか否かによって，ICカードモード，あるいは内部メモリモードを設定する（ステップP340～P348）．その詳細は第11図に示したPLAY処理ルーチンのステップP308～P316と同一であるので説明を省略する．

ステップP350に移り，カウンタ内容をアドレスバスADBIを介して出力し，カウンタ内容を表示し，再生する画像のプロテクトデータを読出す（ステップP350～P352），再生する画像にプロテクトデータの有無を判定し，プロテクトデータが無い場合，即ちプロテクトされていない場合は映像信号を出力し，プロテクトデータが記録されている場合はカウンタ内容から1を減じて次の駒について処理するため，ステップP350に戻る（ステップP353，P354，P355）．以上の処理により，プロテクトデータの記録されている画像の再生が禁止されて，従って消去することがない．

プロテクト／消去作動スイッチS7がONされたか否かを判定し（ステップP356），ONの場合は，消去データを信号処理CPUS1に出力し，記録画像の消去処理の完了を待って消去表示をONにする（ステップP357～P359）．プロテクト／消去作動スイッチS7がOFFになるのを待ち（ステップP360），ステップP361に移る．ステップP356の判定でスイッチS7がONで無い場合もステップP361に移る．

アクセススイッチS4（UP）が押されたときは後述するS4処理ルーチンへ移り，アクセススイッチS5（DOWN）が押されたときは後述するS5処理ルーチンへ移り，さらに，他モードの選択スイッチが押されたときは主ルーチンに戻り，該当するサブルーチンへ移る（ステップP361～P363）．アクセススイッチS4，S5，他モードの選択スイッチのいづれも押されていない場合はステップP350に戻る．

ステップP331の判定で単一駒の消去でなく，全駒の消去と判定されたときはステップP371に移る．まず，単一駒を示す"S"表示をOFFとし，全駒を示す"A"表示をONにする．信号CSDPを"L"として，信号処理CPUS1に全駒消去モードであることを知らせ，信号CSDPを"H"として交信を終了する（ステップP371～P376），プロテクト／消去作動スイッチS7がONか否かを判定し（ステップP376），ONの場合は消去データを信号処理CPUS1に出力し，消去処理の完了を待って消去表示を点滅する．そして，スイッチS7がOFFになるのを待って消去表示をONとする（ステップP377～P381），ICカードA41の挿入の有無を判定し，挿入されているときはカウンタ内容を32にセットし，挿入されていないときはカウンタ内容を10にセットして（ステップP382～P385），主ルーチンに戻る．

第13図（a）乃至第13図（d）は第7図に示すフローチャートのステップP111として示した，アクセススイッチS4（UP）の操作による，記録画像再生時の画像駒の順送り，駒単位の画像消去時の画像駒の順送りなどの処理を示すフローチャートである．まず，モード切換スイッチS3が再生モード（PLAY）か否かを判定し（ステップP401），再生モードでないときは駒単位の消去モード（S・ERASE）か否かを判定し，消去モードであればステップP441に移り，消去モードでもない場合は主ルーチンに戻る（ステップP402）．

ステップP401の判定で再生モードの場合は，アクセススイッチS4がOFFからONに変化したか否かを判定し，OFF－ONと変化するまにステップP405に進む（ステップP403，P404）．カウンタの内容に1を加え（ステップP405），ICカードA41が挿入されているか否かを判定し（ステップP406），挿入されている場合はカウンタ内容が33になったか否かを判定する（ステップP407），カウンタ内容が33の場合は！CカードA41に記録された全部の駒の再生が終了したことを意味するから，カウンタを1にセットし，内部メモリ40に記録された画像の再生のために内部メモリモードを設定する（ステップP408，P409），ステップP407の判定でカウンタ内容が33でない場合は，内部メモリモードが設定されているか否か，内部メモリモードの場合はカウンタ内容が11か否かを判定する（ステップP410，P411），カウンタ内容が11の場合は内部メモリ40に記録された全部の駒の再生が終了したことを意味するから，カウンタを1にセットし，ICカードA41に記録され

た画像の再生のためICカードモードを設定する（ステップP412，P413），ステップP410，P411の判定で否定的な場合はステップP416に移る。また、ステップP406の判定でICカードが挿入されていない場合はカウンタ内容が11か否かを判定し、11の場合はカウンタを1にセットし、11でない場合は直ちにステップP416に移る（ステップP414，P415）。

カウンタの内容をアドレスバスADB1を介して出力し、ICカードF41、あるいは内部メモリ40にアクセスし、カウンタ内容を表示し、ICカードF41あるいは内部メモリ40から該当するアドレスの静の画像データを読出し、映像信号として出力する（ステップP416～P418）。再生中の静のプロテクトデータを読出し、再生中の画像がプロテクトされているか否かを判定する（ステップP419，P420）。判定の結果、プロテクトされている場合はプロテクト表示をONとし、プロテクトスイッチS6がプロテクトを解除する解除位置（REMOVE）にあるか否かを判定し、解除位置にあるときは解除データを出力し、プロテクト表示をOFFとして（ステップP422～P424）、ステップP401に戻る。スイッチS4が解除位置にないときは直ちにステップP401に戻る。

ステップP420の判定でプロテクトされていない場合は、プロテクトスイッチS6がON位置か否かを判定し、ON位置の場合はタイマ1に所定値K2をセットし、計時を開始する（ステップP425～P427）。ステップP426の判定でスイッチS6がON位置にない場合はステップP401に戻る。タイマ1が計時中に、プロテクト／消去作動スイッチS6がONになったか否かを判定し（ステップP428）、ONの場合はプロテクトデータをデータバスDB2を介してICカード、あるいは内部メモリに出力して書込み、プロテクト表示をONとし、スイッチS6がOFFになるのを待って（ステップP429～P432）、ステップP401に戻る。

なお、上記実施例ではプロテクトスイッチS6が操作される時間をタイマ1に設定する時間K2で規定し、この時間にスイッチS6が操作されたときのみプロテクトされるようになっているが、この他、例えば次の画像に切換えるときプロテクト可能時間を規定するようにしてもよい。

ステップP402の判定で単駒消去モードの場合について説明する。この処理のうち、ステップP441～P455（第13図（c1））の処理は再生モードの場合のステップP403～P417（第13図（a）（b））と処理の内容が同じであるから、ここでは説明を省略する。

ステップP456において、再生する画像のプロテクトデータを読出す。再生する画像にプロテクトデータの有無を判定し、プロテクトデータが無い場合、即ちプロテクトされていない場合は映像信号を出力し、プロテクトデータが記録されている場合は次の駒について処理するためステップP443に移る（ステップP457～P458）。以上の処理によりプロテクトされている画像の再生が禁止され、誤って消去することがない。

プロテクト／消去作動スイッチS7がONされたか否かを判定し（ステップP459）、ONの場合は消去データを信号処理CPU51に出力し、記録画像の消去処理の完了を待って消去表示をONにする（ステップP459～P462）。そして、スイッチS7がOFFになるのを待ってステップP401に移る。ステップP459の判定でスイッチS7がONでない場合もステップP401に移る。

第14図（a）乃至第14図（d）は第7図に示すフローチャートのステップP113として示した、アクセススイッチS5（DOWN）の操作による、記録画像再生時の画像駒の逆送り、駒単位の画像消去時の画像の逆送りなどの処理を示すフローチャートである。まず、機能切換スイッチS3が再生モード（PLAY）か否かを判定し（ステップP501）、再生モードでないときは駒単位の消去モード（S・ERASE）か否かを判定し、消去モードであればステップP541に移り、消去モードでない場合はテルーテンに戻る（ステップP502）。

ステップP501の判定で再生モードの場合は、アクセススイッチS5がOFFからONに変化したか否かを判定し（ステップP503，P504），OFF－ONと変化する毎にカウンタの内容から1を減算する（ステップP505），ICカードF41が挿入されているか否かを判定し（ステップP506），挿入されている場合はカウンタ内容が0になったか否かを判定する（ステップP507），カウンタ内容が0の場合はICカードF41に記録された全部の静の再生が終了したことを意味するから、カウンタを10にセットし、内部メモリ40に記録された画像の再生のため内部メモリモードを設定する（ステップP508，P509）。ステップP507の判定でカウンタ内容が0でない場合は、内部メモリモードが設定されているか否か，内部メモリモードの場合はカウンタ内容が0か否かを判定する（ステップP510，P511）。カウンタ内容が0の場合は内部メモリ40に記録された全部の静の再生が終了したことを意味するから、カウンタを32にセットし、ICカードF41に記録された画像の再生のためICカードモードを設定する（ステップP512，P513），ステップP510，P511の判定で否定的な場合はステップP516に移る。また、ステップP506の判定でICカードが挿入されていない場合はカウンタ内容が0か否かを判定し、0の場合はカウンタを10にセットし、0でない場合は直ちにステップP516に移る（ステップP514，P515）。

画像記録駒から映像信号を出力する処理、プロテクト／消去作動スイッチS6の操作によるプロテクトデータの記録，及び解除を行うステップP516～P532の処理は、アクセススイッチS4の処理におけるステップP416～P432の処理と同一であるから、ここでは説明を省略する。

ステップP502の判定で単駒消去モードの場合の処理について説明する。この処理はステップP541から始まるが、ステップP541～P555（第14図（c））の処理は再生モードの場合のステップP503～P517（第14図（a）（b））と処理の内容が同じである。また、ステップP556～P563（第14図（d）の処理は、単駒消去の処理であるが、この処理はアクセススイッチS4の処理におけるステップP456～P463（第13図（d））に示した処理と処理内容が同一である。したがって、ここでは説明を省略する。

第15図（a）乃至第15図（c）は第7図に示すフローチャートのステップP115として示した、駒送り切換スイッチS8により選択された、画像再生時の自動駒送り（AUTO）の処理を示すフローチャートである。

スイッチS8の操作により自動駒送りが選択されると、まず機能切換スイッチS3が画像再生モード（PLAY）か、あるいは駒単位の消去モード（S・ERASE）か否かを判定し（ステップP601，P602），これら2つのモードの場合のみステップP603以降の処理に移す。

アクセススイッチS4がOFFからONに変化したか否かを判定し、そうでない場合はアクセススイッチS5について同様の判定を行う（ステップP603，P604）。スイッチS4がOFF－ONと変化した場合はタイマ4に所定値K4をセットして計時を開始し、カウンタ内容に1を加える（ステップP605～P607）。

ICカードに記録されている全駒の再生、あるいは内部メモリに記録されている全駒の再生が終了しているか否かによって内部メモリモード，あるいはICカードモードを設定し、画像を再生してその映像信号を出力するステップP608～P621の処理は、アクセススイッチS4の処理のステップP406～P418と処理内容が同じである。したがって、ここでは説明を省略する。

タイマ4の計時終了前のアクセススイッチ

から入力し、信号ＣＳＤＰを"Ｈ"として交信を終了する（ステップＰ８０２～Ｐ８０４）．ＩＣカードが未記録か，または内部メモリに記録画像があるか否かを判定し（ステップＰ８０５，Ｐ８０６），ＩＣカードが未記録で，内部メモリに記録画像がある場合はステップＰ８０７に移る．ＩＣカードが記録済であったり，内部メモリに記録画像がない場合は主ルーチンに戻る．

内部メモリの記録画像の先頭の枝番号をＸ（この実施例では１０）とし，ＩＣカードに記録可能な先頭の枝番号をＹ（この実施例では３２）とする（ステップＰ８０７，Ｐ８０８），内部メモリモードに切換え，カウンタ内容をＸに設定して，カウンタ内容Ｘに対応する内部メモリの枝から画像データを読出してバッファメモリに格納する（ステップＰ８０９～Ｐ８１２），この処理は，この実施例では信号処理ＣＰＵ５１により制御されるので，その処理の終了を待って（ステップＰ８１３），再びカウンタ内容Ｘを出力し，対応する内部メモリの枝の画像データを消去する（ステップＰ８１４～Ｐ８１５）．消去処理の終了を待って（ステップＰ８１６），ＩＣカードモードを設定し，カウンタ内容をＹに設定して，カウンタ内容Ｙに対応するＩＣカードの枝に，バッファメモリに格納した画像データを記録する（ステップＰ８１７～Ｐ８２０），記録処理の終了を待って（ステップＰ８２１），再び内部メモリモードを設定し，処理すべき内部メモリの枝番号Ｘから１を差し引いて次の枝の処理の準備をする（ステップＰ８２２～Ｐ８２３），枝番号が０か否かを判定し，０でない場合は処理すべき枝があることを意味するから，カウンタに新しい枝番号Ｘをセットし，カウンタ内容Ｘに対応する内部メモリの枝から画像データを読出してバッファメモリに格納する（ステップＰ８２４～Ｐ８２７）．その処理の終了を待って（ステップＰ８２８），再びカウンタ内容Ｘを出力し，対応する内部メモリの枝の画像データを消去する（ステップＰ８２９～Ｐ８３０）．消去処理の終了を待って（ステップＰ８３１），ＩＣカードモードを設定し，カウンタ内容Ｙから１を差し引いて，新たなカウンタ内容Ｙに対応するＩＣカードの枝に，バッファメモリに格納した画像データを記録して，処理の終了を待って（ステップＰ８３２～Ｐ８３７），ステップＰ８２２に戻り，次の枝の処理に移る．

ステップＰ８２４の判定でＸ＝０，すなわち内部メモリに記録された全ての画像データの処理が終了したとき，ＩＣカードに記録可能な枝数から内部メモリに記録されていた枝数を差し引き，この枝番号からＩＣカードへの記録可能であることを表示して処理を終了する（ステップＰ８４０～Ｐ８４１）．

なお，上記実施例では，内部メモリに記録されている画像を移すＩＣカードは未記録のものに限られるが，一部に画像データの記録されているＩＣカードの未記録領域に記録するようにしてもよい．また，上記実施例では内部メモリに記録されている全部の枝の画像をＩＣカードに移しているが，プロテクトされている枝の画像のみ移すようにしてもよい．

第１９図は表示部５の表示例を示す．表示部５の表示素子のうち，５ａは記録，プロテクト，再生，消去の各モードで処理される画像の枝番号を示す表示素子，５ｂはＩＣカードの設着を示す表示素子，５ｃは日付設定の際のモード（年月日時分）を示す表示素子である．また，５ｄはプロテクトモード，５ｅは再生モード，５ｆは単枝消去モードを示す表示素子である．

第１９図（ａ）（ｂ）（ｃ）は記録モードの場合の表示例を示し（ａ）はＩＣカードが設着されてＩＣカードが設定され，３２枝の画像記録が可能であることを示している．（ｂ）はＩＣカードの全枝が記録済であることが表示５ｂ中央の斜線で示され，内部メモリに１０枝の画像の記録が可能であることを示している．（ｃ）はＩＣカードは設着されてなく，内部メモリモードが設定され，１０枝の画像記録が可能であることを示している．

第１９図（ｄ）（ｅ）（ｆ）はプロテクトモードの場合の表示例を示し，（ｇ）（ｈ）（ｉ）は

Ｓ４，あるいはＳ５がＯＦＦからＯＮに変化したか否かを判定する（ステップＰ６２２～Ｐ６２４）．タイマ４の計時が先に終了した場合は，ステップＰ６０５に戻り，再度タイマ４による計時を開始して次の画像の再生に移る．また，タイマ４の計時終了前にスイッチＳ４，あるいはＳ５がＯＮになった場合は，タイマ４の計時を停止し，再生画像のプロテクトデータを読出す（ステップＰ６２５，Ｐ６２６）．

再生画像のプロテクトデータを読出し，プロテクト／消去作動スイッチＳ６の操作によるプロテクトデータの記録及び解除を行うステップＰ６２８～Ｐ６３９の処理は，アクセススイッチＳ４の処理におけるステップＰ４１９～Ｐ４３２の処理と同一処理であるから，ここでは説明を省略する．

ステップＰ６０４の判定でアクセススイッチＳ５がＯＦＦからＯＮに変化した場合は，ステップＰ６４１に移る．まず，タイマ４に所定値Ｋ４をセットして計時を開始し，カウンタ内容から１を差し引く（ステップＰ６４１～Ｐ６４３）．

ＩＣカードに記録されている全枝の再生，あるいに内部メモリに記録されている全枝の再生が終了しているか否かによって内部メモリモード，あるいはＩＣカードモードを設定し，画像を再生してその映像信号を出力するステップＰ６４４～Ｐ６５７の処理は，アクセススイッチＳ５の処理のステップＰ５０６～Ｐ５１８と処理内容が同じである．したがって，ここでは説明を省略する．

タイマ４の計時終了前にアクセススイッチＳ４，あるいはＳ５がＯＦＦからＯＮに変化したか否かを判定する（ステップＰ６５８～Ｐ６６０），タイマ４の計時が先に終了した場合は，ステップＰ６４１に戻り再度タイマ４による計時を開始して次の画像の再生に移る．また，タイマ４の計時終了前にスイッチＳ４，あるいはＳ５がＯＮになった場合は，ステップＰ６２５に移り，先と同様にプロテクトデータの記録，解除処理を行う．

第１６図は第７図に示すフローチャートのステップＰ１１７として示した時送り切換スイッチＳ８により選択された，画像再生時の手動時送り（ＭＡＮＵＡＬ）の処理を示すフローチャートである．フローチャートから明らかなように，スイッチＳ８がＭＡＮＵＡＬにセットされているとき，アクセススイッチＳ４がＯＦＦからＯＮに変わる毎に先に説明したＳ４の処理が実行され，アクセススイッチＳ５がＯＦＦからＯＮに変わるごとに先に説明したＳ５の処理が実行される．

第１７図は第７図に示すフローチャートのステップＰ１１９として示した日付設定処理のフローチャートである．まず，日付設定スイッチＳ１３がＯＮとされることで「年」設定モードとなり，アクセススイッチＳ４，Ｓ５の操作で所望の年を設定する（ステップＰ７０１）．モードシフトスイッチＳ１２をＯＮにすると「月」設定モードに切換り，スイッチＳ４，Ｓ５の操作で所望の月を設定する（ステップＰ７０２，Ｐ７０３），以下，同様にしてモードシフトスイッチＳ１２及びアクセススイッチＳ４，Ｓ５の操作で「日」，「時」，「分」の設定を行う（ステップＰ７０４～Ｐ７０９）．日付設定スイッチＳ１３がＯＮか否かを判定し（ステップＰ７１０），ＯＮでない場合はステップＰ７０１に戻り，再度日付設定を可能にする．ＯＮの場合は日付設定を終了し，主ルーチンに戻る．第１７図右の表示は各ステップにおける表示部１３の表示状態の一例を示すものである．

なお，この実施例では「分」の設定終了後，スイッチＳ１３の状態を判定しているが，各設定モードでのデータ設定後にスイッチＳ１３の状態を判定し，ＯＮの場合に元の表示に戻るようにしてもよい．

第１８図（ａ）及び（ｂ）は，ＩＣカードが挿入されたとき，内部メモリに記録されている画像をＩＣカードに移す処理を示すフローチャートである．まず，ＩＣカード４１がカメラに挿入されているか否かを判定し（ステップＰ８０１），挿入されている場合は信号ＣＳＤＰを"Ｌ"とし，ＩＣカードのメモリの状態を信号処理ＣＰＵ５１

再生モードの場合の表示例を示し、(j)(k)(4)は同会モードのうち、単独同会モードを示しており、"S・ERASE"と表示されている。全時同会モードの場合は"A・ERASE"と表示される。

なお、上記実施例は、記録媒体としてICカードを用いてデジタル画像信号を記録するものであるが、これに代えて、磁気ディスクを用いてアナログ画像信号を記録するものに適用することもできる。

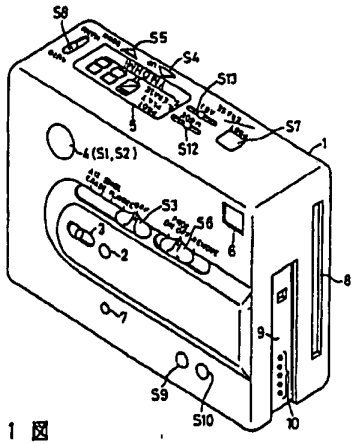
(発明の効果)

以上説明したとおり、この発明によれば、カメラ設けられた第1の画像記録媒体に記録された画像は、カメラに対して着脱自在な第2の画像記録媒体に転送記録することができるので、画像再生の際、カメラを再生装置に接続する必要がなく、ICカードを直接再生装置に装着すればよいから、著しく操作性が改善される。

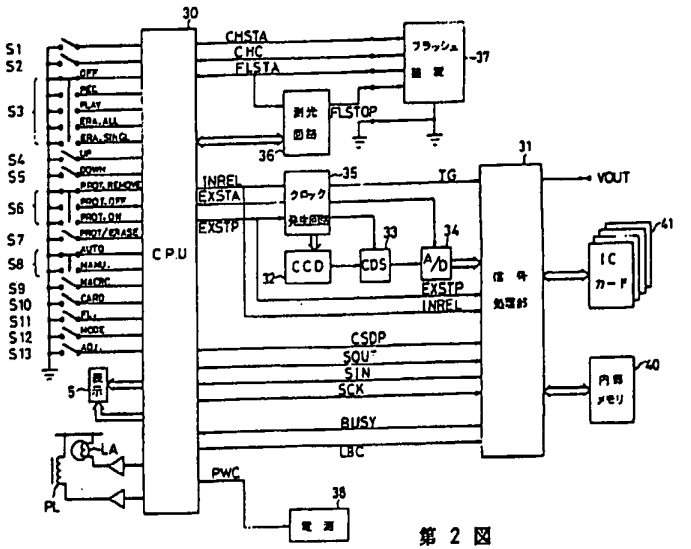
4. 図面の簡単な説明

第1図はこの発明に係るカメラの外観を示す斜視図、第2図はカメラの制御回路のブロック図、第3図は制御回路の中の信号処理部の詳細を示すブロック図、第4図はフラッシュ装置の外観を示す斜視図、第5図はフラッシュ装置の回路図、第6図は画像部の構成を示す斜視図、第7図から第17図までではカメラの制御動作を説明するフローチャートで、第7図は制御全体の概略を示すフローチャート、第8図はモード切換スイッチがOFFの場合の処理を示すフローチャート、第9図は記録モードの処理を示すフローチャート、第10図はレリーズ釦の1段押しで作動するスイッチS1 ONの処理を示すフローチャート、第11図は再生モードの処理を示すフローチャート、第12図は同会モードの処理を示すフローチャート、第13図はアクセススイッチS4の処理を示すフローチャート、第14図はアクセススイッチS5の処理を示すフローチャート、第15図は駒送りスイッチS8による自動駒送り処理のフローチャート、第16図は駒送りスイッチS8による手動駒送り処理のフローチャート、第17図は日付設定スイッチS13による日付設定処理のフローチャート、第18図は内部メモリに記録された画像をICカードに移記する処理のフローチャート、第19図は表示部の表示例を示す図である。

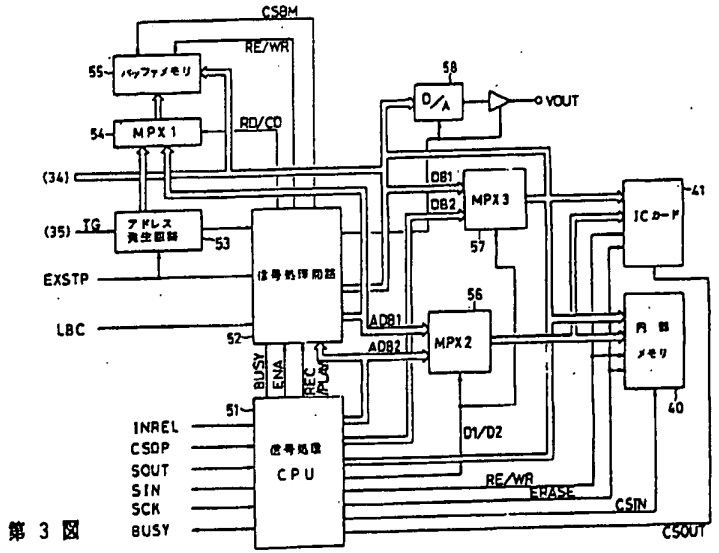
1：カメラ本体、2：撮影レンズ、4：レリーズ釦、5：表示部、7：マクロ撮影用測光窓、8：ICカード挿入口、9：フラッシュ装置接続部、S3：モード切換スイッチ、S4、S5：アクセススイッチ、S6：プロテクトスイッチ、S7：プロテクト/同会作動スイッチ、S8：駒送り切換スイッチ、S9：マクロ撮影スイッチ、S10：フラッシュ撮影スイッチ、30：CPU、31：信号処理部、40：内部メモリ、41：ICカード。



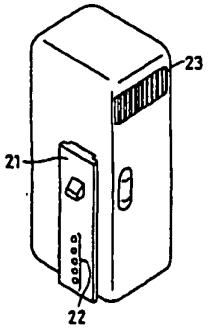
第1図



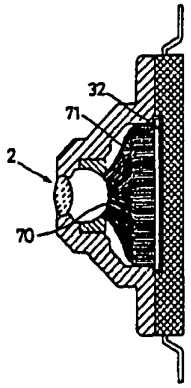
第2図



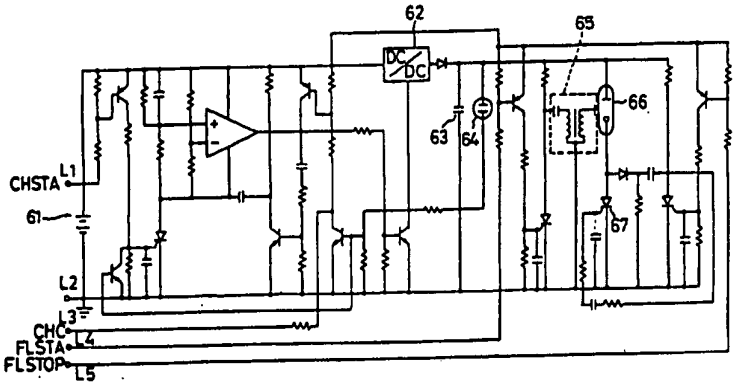
第3図



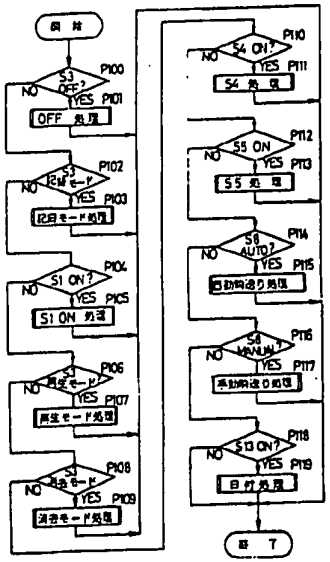
第 4 図



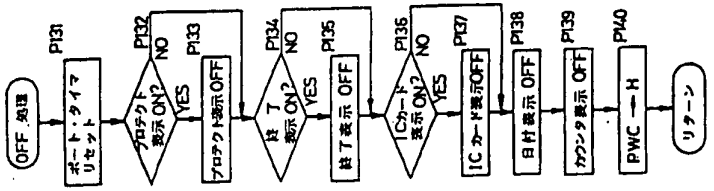
第 6 図



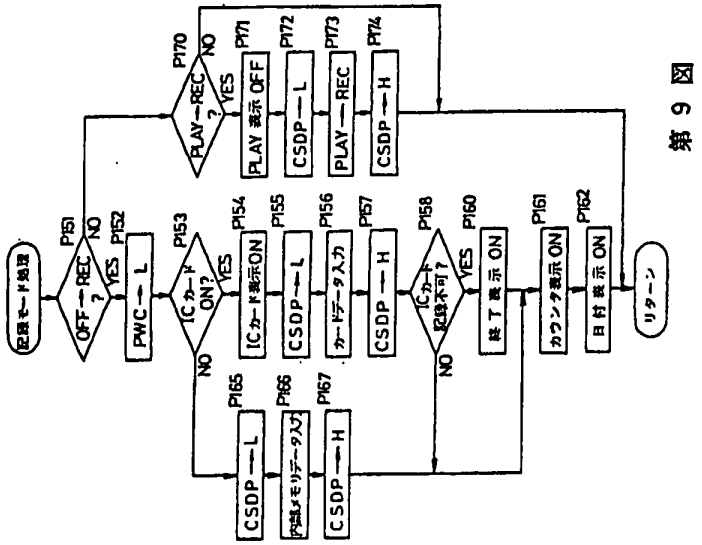
第 5 図



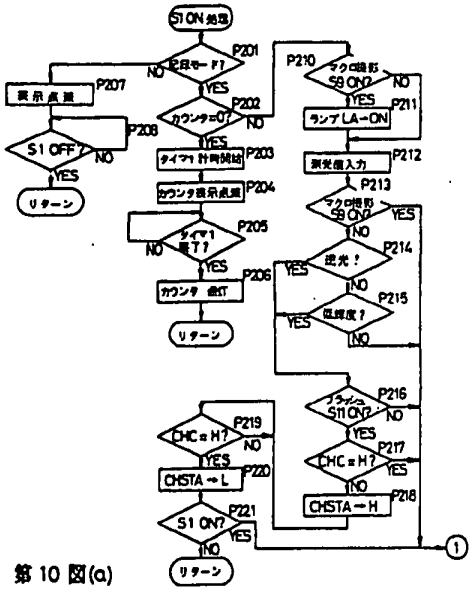
第 7 図



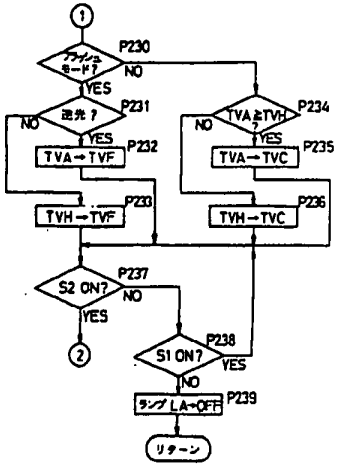
第 8 図



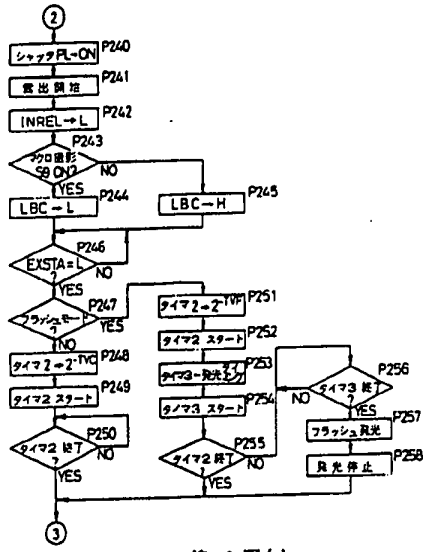
第 9 図



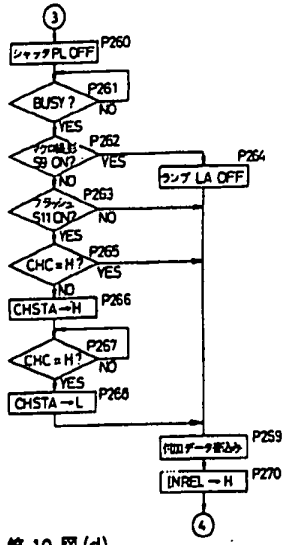
第 10 図(a)



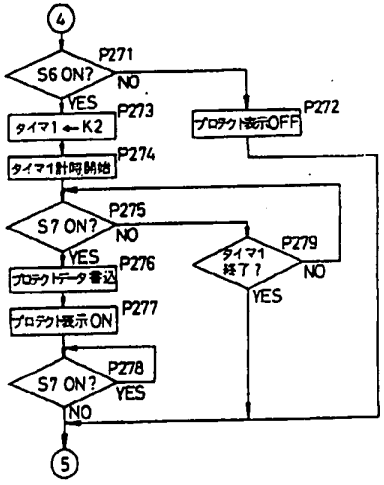
第 10 図(b)



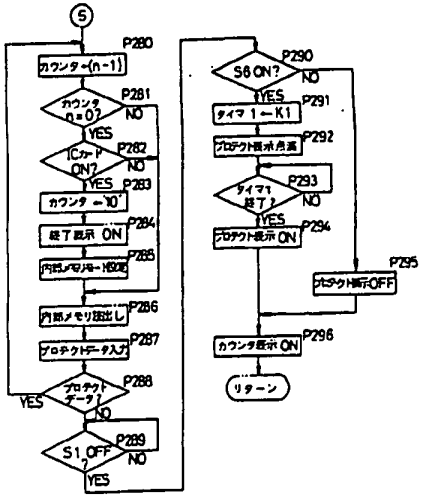
第 10 図(c)



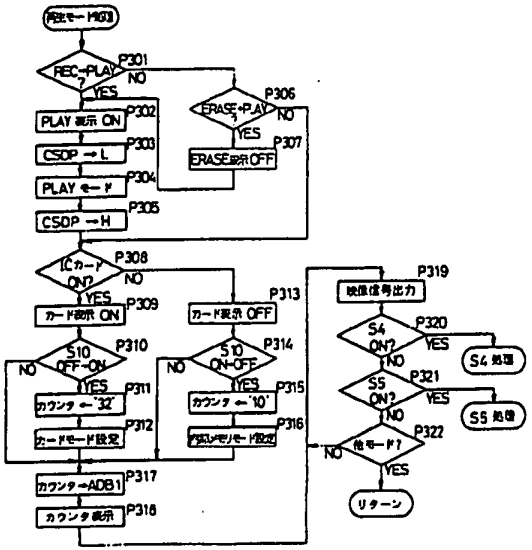
第 10 図(d)



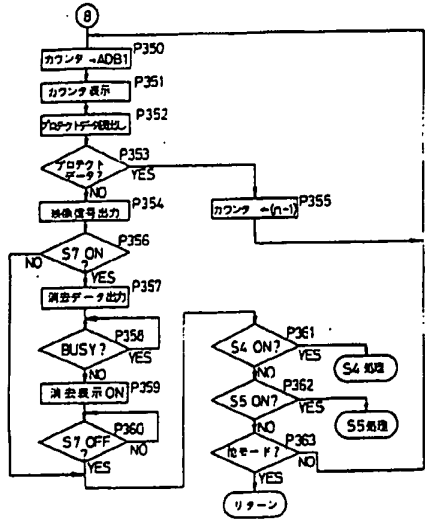
第 10 図(e)



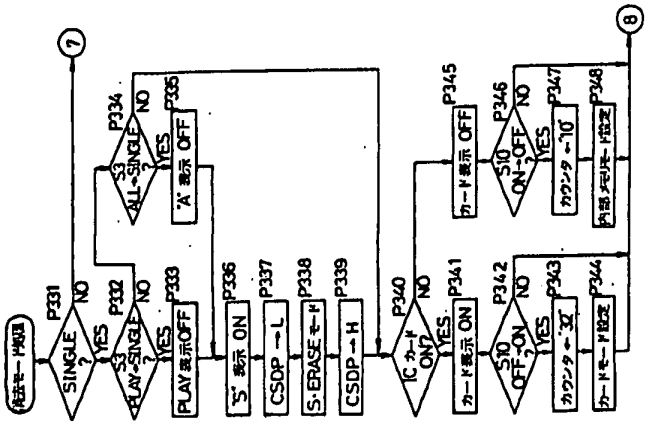
第 10 図(f)



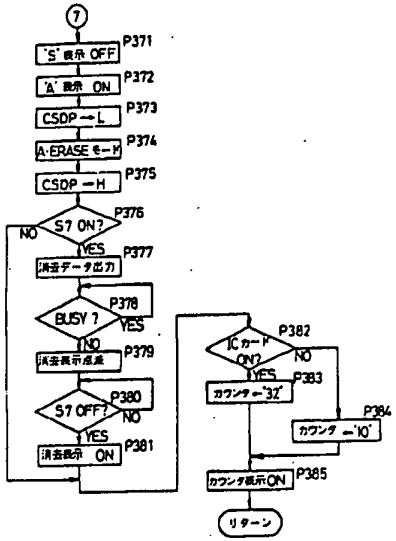
第 11 図



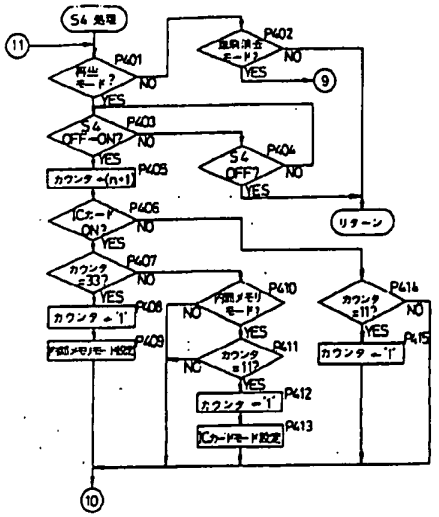
第 12 図(b)



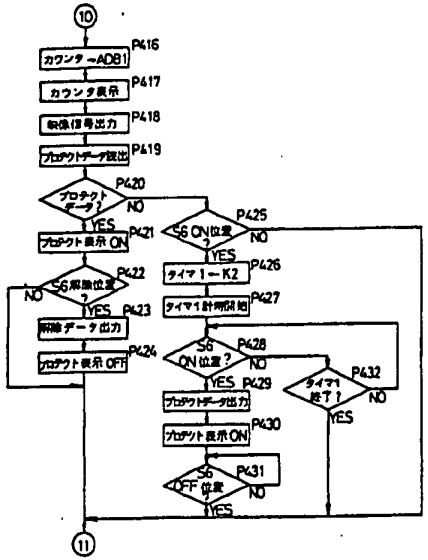
第 12 図 (a)



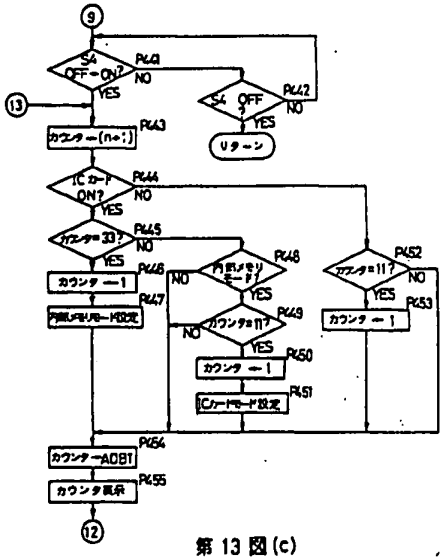
第 12 図(c)



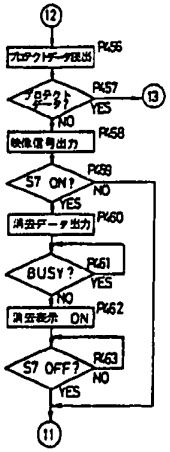
第 13 図(a)



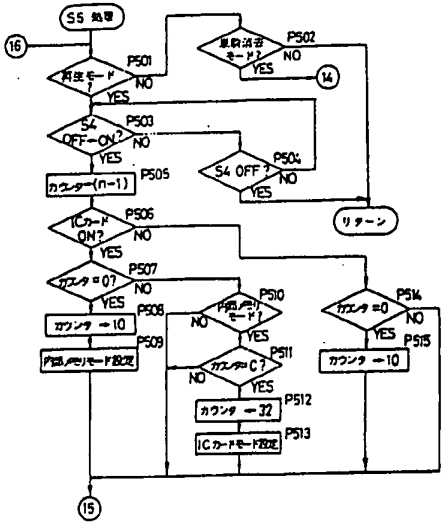
第 13 図(b)



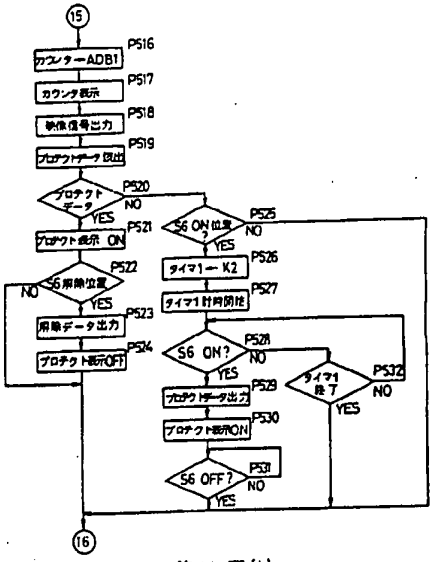
第 13 図(c)



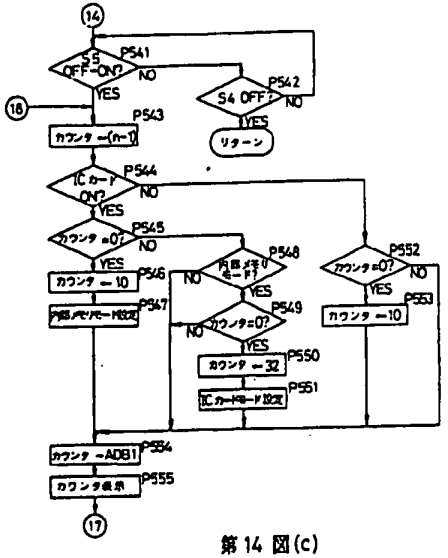
第 13 図(d)



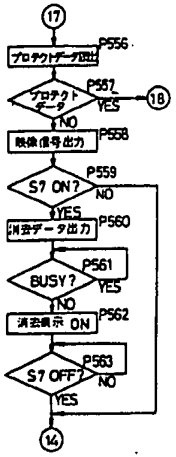
第 14 図(a)



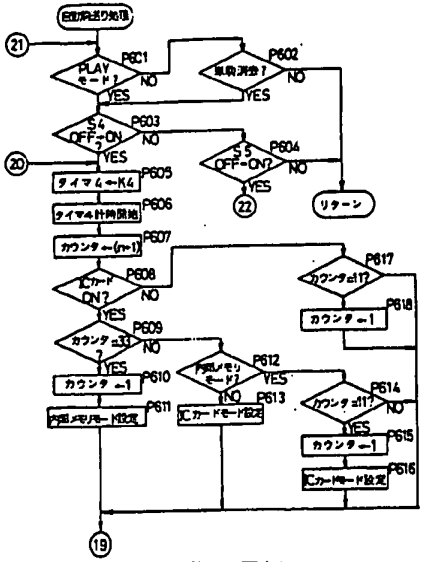
第 14 図(b)



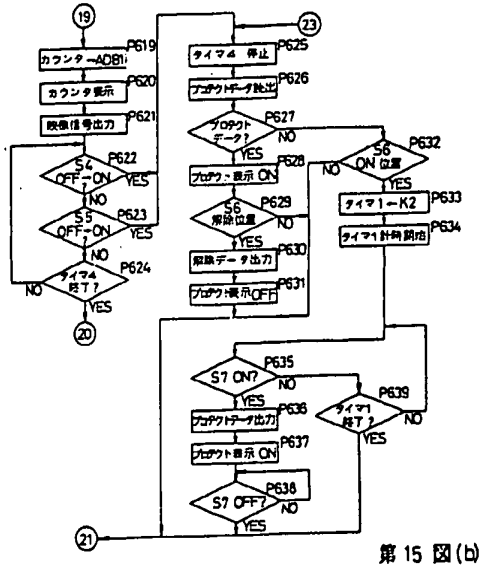
第 14 図(c)



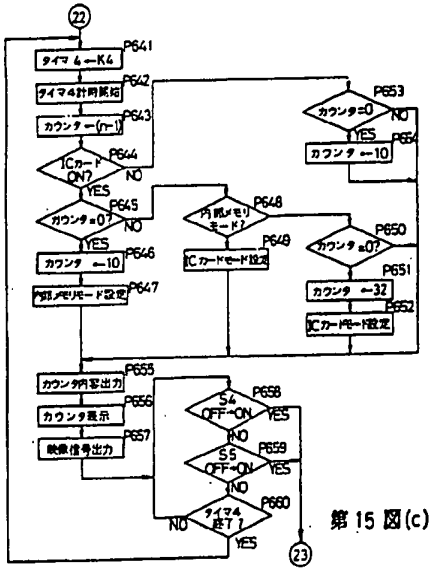
第 14 図(d)



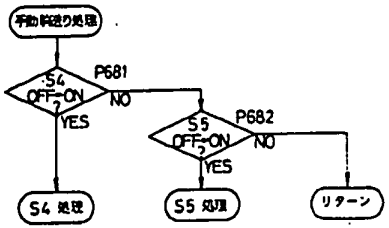
第 15 図(a)



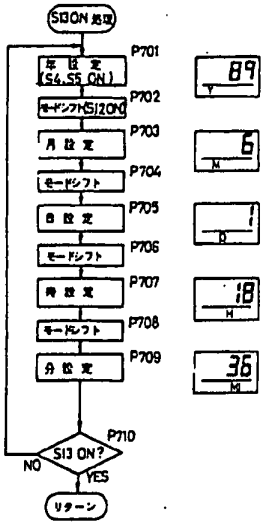
第 15 図(b)



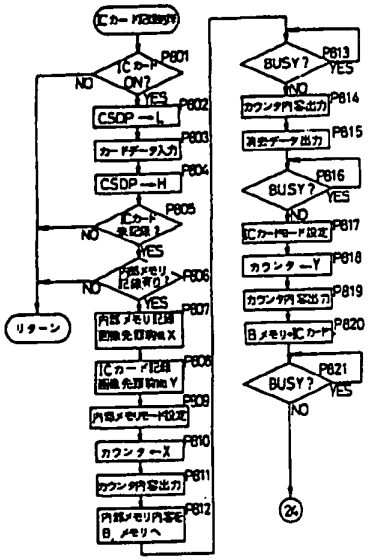
第 15 図(c)



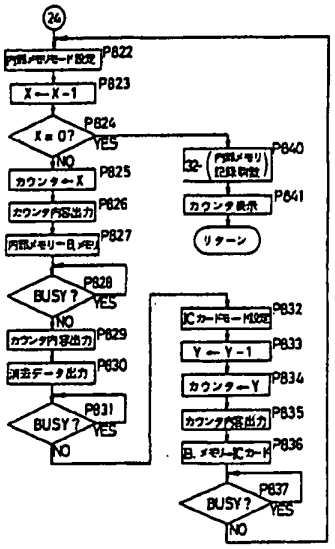
第 16 図



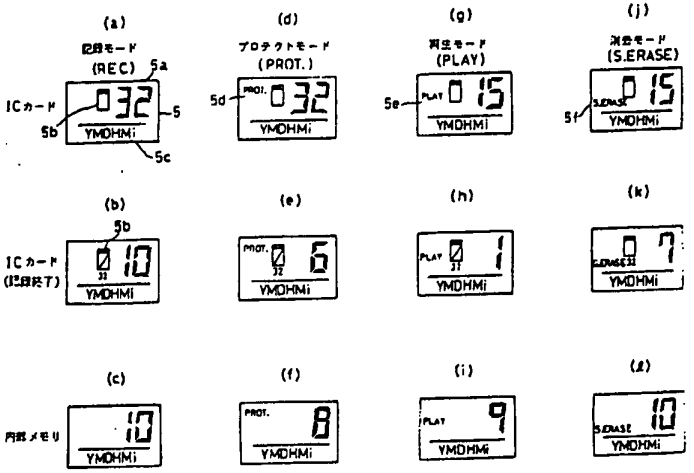
第 17 図



第 18 図(a)



第 18 図(b)



第 19 図

【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第７部門第３区分
【発行日】平成１１年（１９９９）１月２２日

【公開番号】特開平４－７８２８０
【公開日】平成４年（１９９２）３月１２日
【年通号数】公開特許公報４－７８３
【出願番号】特願平２－１８８１１７
【国際特許分類第６版】
HO4N　5/765
　　　5/781
　　　5/91
【ＦＩ】
HO4N　5/781　510 J
　　　5/91　　　J

[illegible]

1. [illegible]

2. [illegible]

3. [illegible]

4. [illegible]

5. [illegible]

6. [illegible]
(1) [illegible]
(2) [illegible]

7. [illegible]
(1) [illegible]
(2) [illegible]
(3) [illegible]

[illegible]

[illegible]

[illegible]

Japanese Patent Application Laid-Open No. 4-78280(1992)

SPECIFICATION

1. Title of the Invention

Still video camera provided with removable recording medium

2. Claim

A still video camera provided with a recording medium detachably attached thereto, which comprises a first image recording medium that has an image recording area corresponding a plurality of frames and is placed inside the camera, and a second image recording medium that has an image recording area and is freely detachably attached to a camera main body, characterized by comprising:

detection means for detecting an attached state of said second image recording medium to the camera main body; and

control means which, upon detection of said second image recording medium being attached to the camera main body by said detection means, transfers image signals recorded in said first image recording medium to a recordable area of said second image recording medium to be recorded therein.

3. Detailed Description of the Invention

[Technical Field of the Invention]

The present invention relates to a still video camera which

converts a still image into an electric signal and records the signal in an electronic recording medium.

[Prior Art]

In still video cameras, there has been proposed an arrangement in which, after an image has been recorded in a recording medium, for example, an IC card, that is freely detachably attached to the camera, this is taken out and attached to another reproducing device, that is, a CRT display device, a printer, etc., so as to reproduce the recorded image.

Moreover, there has been proposed another arrangement in which, in addition to a recording medium such as an IC card, an inner memory is provided in the camera so that, even when the recording medium such as an IC card is not attached, an image recording process can be carried out.

[Problems to be Solved by the Invention]

In the above-mentioned conventional still video cameras, in the latter cameras, in order to reproduce the image recorded in the inner memory, it is necessary to connect the camera main body to a CRT display device or a printer, and this operation causes inconvenience in its operability.

Therefore, an objective of the present invention is to solve this problem.

[Means for Solving the Problems]

In order to solve the above-mentioned problem, this invention provides an arrangement which can transfer image signals recorded in the inner memory to a detachably attached recording medium such as an IC card to be recorded therein, and in this arrangement, a still video

camera, which is provided with a first image recording medium that has an image recording area corresponding a plurality of frames and is placed inside the camera, and a second image recording medium that has an image recording area and is freely detachably attached to a camera main body, is characterized by comprising: a detection means for detecting an attached state of the second image recording medium to the camera main body; and a control means which, upon detection of the second image recording medium being attached to the camera main body by the detection means, transfers image signals recorded in the first image recording medium to a recordable area of the second image recording medium to be recorded therein.

[Function]

When the second image recording medium, which can be detachably attached to the camera main body, is attached to the camera main body, image signals, stored in the first image recording medium placed inside the camera main body, is read out and recorded in a recordable area in the second image recording medium. Thus, the image recording signals recorded are all stored in the detachably attached recording medium, and can be taken out from the camera main body.

[Preferred Embodiments of the Invention]

Referring to Figures, the following description will discuss preferred embodiments of the present invention. Fig. 1 is a perspective view that shows the external appearance of a camera in accordance with the present invention; and reference number 1 is a camera main body, 2 is a pickup lens, 3 is an open-close knob for a lens protective barrier, 4 is a

shutter button which, when pressed to the first stage, allows a switch S1 which will be described later to close, and when pressed to the second stage, allows a second switch S2 to close.

Reference number 5 is a display section which displays the number of a frame of a recorded image, the presence or absence of an IC card, the date, and other operation states of the camera. Reference number 6 is a finder window, 7 is a light projection window for a macro pickup process, 8 is a slot for an IC card in which images are recorded, 9 is a connecting section of a flash device, and 10 is a connecting-use contact for the camera main body and the flash device. Next, an explanation will be given of an operation switch. S3 is a sliding mode-switching switch for switching various functions provided in the camera, and the selectable modes are described as follows:

OFF: a mode for inhibiting the activation of the camera.

REC: a recording mode in which an image is recorded in the inner memory of the camera or the external recording medium that is detachable attached thereto (hereinafter, referred to as IC card).

PLAY: a reproducing mode in which images, recorded in the inner memory or the IC card, are reproduced, and image signals are outputted. Based upon these signals, a recorded image is reproduced on a video display device, not shown.

ERASE-ALL: an erasing mode in which all the images recorded in the inner memory and the IC card are erased.

ERASE-SINGL: a single-frame erasing mode in which a single frame of a picked-up image recorded in the inner memory or the IC card is erased.

Even in this mode, an image protected by a protect function which will be described later is not erased.

S4 and S5 are access switches, and switch S4 (UP) functions as a forwarding switch of recorded images at the time of an image reproducing process, and also functions as a switch for incrementing the date at the time of a date-setting process. Moreover, switch S5 (DOWN) functions as a rewinding switch of recorded images at the time of the image reproducing process, and also functions as a switch for decrementing the date at the time of the date-setting process.

S6 is a protect switch used for protecting a necessary image from being erroneously erased among images recorded in the inner image or the IC card, and is indicated as "PROT". In the case when switch S6 is in OFF position, the protective function is not operative, and when it is in ON position, the protective function becomes operative. Moreover, when it is in REMOVE position, that is, in a releasing position, a protected state of an image that has been protected is released.

S7 is a protect/erase operation switch, and when this switch is turned on with the mode switching switch S3 being in ERASE position (either SINGL or ALL position), the erasing operation is carried out, and when this switch is turned on with the protect switch S6 being in PROT position, the protective operation is executed.

S8 is a frame-forwarding switch for making switches between an automatic frame-forwarding process and a manual frame-forwarding process at the time of reproducing the recorded images, and each time this is switched to AUTO, that is, the automatic process, the recorded

images are automatically frame-forwarded and successively reproduced every constant time without the need of operating the access switch S4 or S5. Moreover, when this is switched to MANUAL, that is, the manual process, the recorded images are frame-forwarded frame by frame by the operation of the access switch S4 or S5.

S9 is a macro-pickup switch, and S10 is a switch for setting a flash pick-up process.

S12 is a date-setting mode switch, each time this is turned ON, modes are switched cyclically in the order of Y (year)—M (month)—D (date)—H (hour)—M1 (minute)—Y (year).

S13 is a date setting switch which sets data selected by the switch S12.

Fig. 2 is a block diagram that shows a camera control circuit.

Reference number 30 is a CPU for controlling the entire camera, and 31 is a signal processing section for carrying out recording and reproducing operations on image signals. These processes will be described later in detail. Reference number 32 is a solid-state pickup element (hereinafter, referred to as CCD) constituted by CCDs, etc., and this converts an image that has been made incident thereon through the pickup lens 2 into an image signal. Reference number 33 is a correlation double sampling section for the image signal outputted from the CCD, 34 is an A/D converter for converting the image signal to a digital signal, 35 is a clock generation circuit for synchronizing the CCD 32, the sampling section 33 and the A/D converter 34, and this is controlled by control signals INREL and EXSTP outputted from the CPU 30. Reference

number 36 is a photometer circuit which measures the luminance of a subject, and outputs the results of the measurements to the CPU 30, and which also functions as a light-adjusting circuit for adjusting the light of the flash light. Reference number 37 is a flash device, and is provided with a light-emitting section and a charging capacitor. Reference number 38 is a power supply which is controlled by a control signal PWC outputted from the CPU 30. Reference number 5 is a display section which displays the number of image frames, etc. as described earlier. LA represents an illuminating lamp used at the time of the macro-picking-up process, and PL is an operational electromagnetic plunger.

Reference number 40 is an inner memory that is built in the camera, and has an image recording capacity of at least one frame (10 frames in this preferred embodiment). Reference number 41 is an IC card that is detachably attached to the camera main body, and is provided with a semiconductor memory, such as an SRAM, etc., which has an image storing capacity corresponding to a plurality of frames (32 frames in this preferred embodiment).

Next, an explanation will be given of switches. S1 is a switch which is turned on when the release button 4 is pressed to the second stage, and S2 is a switch which is turned on when the release button 4 is pressed to the second stage. S3 to S9 as well as S11 to S13 are switches whose operation sections are placed on the camera main body shown in Fig. 1, and referring to Fig. 1, their functions have been described earlier. S10 is a switch which is turned on when the IC card 41 is inserted through the inserting section 8 of the camera main body, and outputs a

signal indicating the insertion of the IC card 41.

Next, an explanation will be given of signals that are transmitted through signal lines.

CHSTA is a signal for giving an instruction so as to charge the capacitor of the flash device 37, CHC is a signal for indicating the completion of the charging of the capacitor of the flash device 37, FLSTA is a signal for giving an instruction so as to make the flash device 37 emit flash light, and FSTOP is a signal for giving an instruction so as to stop the flash light emission when the quantity of flash light detected by the photometer circuit 36 has reached a predetermined value (upon completion of the light adjustment).

INREL, which is a shutter release starting signal, is outputted from the CPU 30 to the clock generation circuit 35. In response to this signal, the clock generation circuit 35 outputs a signal EXSTA for indicating the start of exposure control to the CPU 30. EXSTP, which is an exposure control completion signal, is outputted from the CPU 30 to the clock generation circuit 35. Moreover, the shutter release starting signal INREL and the exposure control completion signal EXSTP are also outputted to the signal processing section 31, which will be described later.

CSDP is a signal for controlling the signal transfer process between the CPU 30 and the signal processing section 31, SOUT and SIN are data signals that are transferred as serial data between the CPU 30 and the signal processing section 31, SCK is a serial clock signal transferred from the CPU 30 to the signal processing section 31, BUSY is

a signal for informing the CPU 30 that the signal processing section 31 is processing signals, LBC is a signal for indicating that a macro-pickup process is to be executed, and VOUT is an image signal outputted from the signal processing section 31.

Fig. 3 is a block diagram that indicates the signal processing section 31 in detail. Reference number 51 is a signal processing CPU for executing the entire control of the signal processing section 31, 52 is a signal processing circuit for processing the image signal (including a compressing process), and 53 is an address generation circuit for generating an address signal upon receipt of the clock signal from the clock generation circuit 35.

Reference number 54 is a multiplexer which, based upon the signal RD/CD outputted from the signal processing circuit 52, selects either of the address signals outputted from the address generation circuit 53, that is, either of an address signal bus used for recording the image signal outputted from the CCD 32 in the buffer memory 55 and an address signal bus used at the time when the buffer memory 55 is used for the signal processing operation.

Reference number 56 is a multiplexer which, based upon the signal D1/D2 outputted from the signal processing CPU 51, selects either of an address signal bus ADB1 outputted from the signal processing circuit 52, that is, an address signal bus used when the image signal is recorded and reproduced on and from the image recording inner memory 40 and the IC card 41, and an address signal bus ADB2 used in the case when a data signal other than the image signal outputted from the signal

processing CPU 51, that is, for example, a frame number, protect data, etc., is recorded in the inner memory 40 and the IC card 41.

Reference number 57 is a multiplexer which, based upon the signal D1/D2 outputted from the signal processing CPU 51, selects either of an image signal bus DB1 and a data signal bus DB2 other than the image signal such as a frame number, protect data, erasing data (ERASE), protect removing data (REMOVE) and chronodata.

Moreover, reference number 58 is a D/A converter which converts a digital signal to an analog signal at the time of outputting the image signal.

Next, an explanation will be given of signals transferred by signal lines. Among signals outputted from the signal processing CPU 51, ENA is a signal for allowing the signal processing circuit 52 to carry out the signal processing, REC/PLAY is a signal for controlling the signal processing circuit 52 as to whether the signal processing is carried out in the recording mode or in the reproducing mode, RE/WR is a signal for controlling the write/read processing of the image signal to be carried out on the inner memory 40 and the IC card 41, ERASE is a signal for controlling the erasing operation on the image signals recorded in the inner memory 40 and the IC card 41, CSOUT is a signal for controlling data communication to be carried out on the IC card 41, and CSIN is a signal for controlling data communication to be carried out on the inner memory 40.

Fig. 4 is a perspective view that shows the external appearance of the flash device that is detachably attached to the camera in accordance

with the present invention. A connecting electric contact 22, which is placed in a connecting section 21 that is engaged by the connecting section 9 of the flash device of the camera main body 1, is allowed to contact the electric contact 10 of the camera main body 1. Reference number 23 represents a light-emitting section.

Fig. 5 shows a circuit diagram of the flash device. This circuit is a known circuit, and an explanation will be briefly given of the constitution and operation of this circuit. In this Figure, reference number 61 is a power supply battery, 62 is a voltage-raising circuit constituted by a DC/DC converter, 63 is a main capacitor used for accumulating charge, 64 is a neon tube, 65 is a trigger circuit, 66 is a xenon discharging tube, and 67 is a thyrister.

Next, an explanation will be given of the operation thereof. When the signal CHSTA for giving an instruction for the start of discharging, which is applied to the terminal L1 from the CPU 30 of the camera, is allowed to go "High", the voltage-raising circuit 62 starts its operation so that the voltage of the battery device 61 is increased so as to charge the main capacitor 63. When the terminal voltage of the main capacitor 63 has reached a predetermined value, the signal CHC to be outputted to the terminal L3 is allowed to go "High", thereby informing the CPU 30 of the completion of charging. When the signal FLSTA for giving an instruction for the light emission of the flash, which is applied to the terminal L4 from the CPU 30 of the camera, is allowed to go "High", the trigger circuit 65 is operated so that the xenon discharging tube 66 starts emitting light. The photometer circuit 36 of the camera detects

reflected light from a subject, and when the quantity of light has reached a predetermined value, a light-emission stopping signal FLSTP, which is applied to the terminal L5, is allowed to go "High" to apply a reverse bias voltage to the thyrister 67, thereby stopping the light emission.

An explanation will be given of the constitution of the image pickup section. Fig. 6 is a cross-sectional view taken along a plane including the light axis of the image pickup section; and reference number 2 is a spherical lens having a focal length f, 70 is an image-converging face of the lens 2 having a spherical shape. Reference number 71 is an optical fiber, and its light incident end is placed along the spherical image-converging face 70 while its light-releasing end is arranged on the surface of the CCD 32. When the optical fiber 71 has an enlarging rate of 3 times, it is possible to converge the same image as a converged image on the CCD 32 derived from an image having a size of the focal length f $\times$ 3. In this manner, the application of an optical fiber having an enlarging rate of several times, the thickness of the image pickup section can be made thinner to the dimension (for example, 3 mm) of the lens focal length and the optical fiber section, and the combination of this with the IC card makes it possible to provide a thinner camera main body.

Here, the advantages of the application of a spherical lens as the image pickup lens are described as follows: In general, when an image of an object located at point of infinite is converged by using a spherical lens, the image-converging face has a spherical face that is concentric with the spherical lens because of the spherical symmetric property of the

spherical lens. Therefore, in the spherical lens, aberrations on the axis and out of the axis have an identical value so that when a virtually optimal aberration correction is achieved on the axis, the aberration out of the axis is also corrected. Therefore, although it is a simple, smaller optical system as compared with the common lens system, by applying a proper aberration correction thereto, it becomes possible to obtain a lighter lens that has a superior light-converging property, and is less susceptible to a reduction in the peripheral quantity of light.

Referring to flow charts shown in Figs. 7 to 17, an explanation will be given of the controlling operation of the camera executed in the CPU 30.

Fig. 7 is a flow chart showing the outline of the entire controlling operation, and this shows that a check is made to see the state of each of the switches and the sequence proceeds to the corresponding processing routine. Upon start of the controlling operation, a check is first made to see whether or not the mode switching switch S3 is set to OFF position, and in the case when it is located at OFF position, the sequence proceeds to a routine for the OFF processing (step P100, P101). A check is made to see whether or not the mode switching switch S3 is set to REC, that is, the recording mode, and if it is in the recording mode, the sequence proceeds to the routine for the recording-mode processing (step P102, P103). A check is made to see the state of the switch S1 that is turned ON when the shutter release button is pressed to the first stage, and if this is ON, the sequence proceeds to a S1 ON processing routine (step P104, P105). A check is made to see whether or not the mode switching

switch S3 is set to PLAY, that is, the reproducing mode, and when set to the reproducing mode, the sequence proceeds to a reproducing-mode processing routine (step P106, P107). A check is made to see whether or not the mode switching switch S3 is set to ERASE, that is, the erasing mode, and when set to the erasing mode, the sequence proceeds to an erasing-mode processing routine (step P108, P109). A check is made to see the state of the access switch S4 (UP), and when set to ON, the sequence proceeds to a S4 processing routine (step P110, P111). A check is made to see the access switch S5 (DOWN), and when set to ON, the sequence proceeds to S5 processing routine (step P112, P113). A check is made to see whether or not the frame-forwarding switch S8 is set to AUTO, that is, the automatic mode, and when set to the automatic mode, the sequence proceeds to an automatic mode processing routine (step P114, P115). A check is made to see whether or not the frame-forwarding switch S8 is set to MANUAL, that is, the manual mode, and when set to the manual mode, the sequence proceeds to a manual mode processing routine (step P116, P117). A check is made to see the state of the date setting switch S13, and when this is set to ON, the sequence proceeds to a date-processing routine (step P118, P119).

Fig. 8 shows a processing routine that corresponds to the routine with the mode switching switch S3 being OFF that is shown as the step P101 of the flow chart of Fig. 7. First, respective ports and timers are reset (step P131), and a judgment is made as to whether or not the display section indicating that the protective function is in operation is set to ON, and when set to ON, the display is turned OFF (step P132,

P133). A judgment is made as to whether or not the completion display indicating that the number of frames of the recorded images has reached a recordable number of frames is ON, and when this is ON, the display is turned OFF (step P134, P135). A judgment is made as to whether or not the display, which indicates that the IC card 41 is inserted in the camera main body, is turned ON, and when this is ON, the display is turned OFF (step P137), the date display is turned OFF, the counter display indicating the number of frames of recorded images is turned OFF (step P138, P139), the power supply circuit is cut off with the signal PWC being "High" to the power supply 38 (step P140), the sequence proceeds to the main routine.

Fig. 9 shows a processing routine that corresponds to the recording-mode processing routine with the mode switching switch S3 being in the recording mode (REC) that is shown as the step P103 of the flow chart of Fig. 7. First, a judgment is made as to whether or not the mode switching switch S3 has been switched from OFF to REC position (step P151), and when switched thereto, the signal PWC is allowed to go "Low" to turn the power supply 38 ON (step P152). A judgment is made as to whether or not any IC card 41 is inserted in the camera (step P153), and when it is inserted, the IC card display is turned ON (step P154), and the signal CSDP is allowed to go "Low" so that card data indicating the recording state (the number of recorded frames, etc.) of the IC card 41 is received from the signal processing CPU 51, and after the completion of the communication, the signal CSDP is allowed to go "High", thereby completing the communication (step P155, P156 and P157). A judgment

is made as to whether or not the recording section of the IC card 41 is full so that recording is no longer made (step P158), and when no recording is available, the display of completion is turned ON, the counter display indicating the number of recordable frames is turned ON and the data display is turned ON (step P160, P161, P162); thus, the sequence returns to the main routine. At the time of the judgment in step P158, if there is any unrecorded section on which recording is made, the step P160 is omitted.

If the judgment at step P153 shows that no IC card 41 is inserted, the signal CSDP is allowed to go "Low" so that memory data, which indicates the recorded state (the number of recorded frames, etc.) of the inner memory 40, is received from the signal processing CPU 51, and after the completion of the communication, the signal CSDP is allowed to go "High", thereby completing the communication (step P165, P166 and P167), and the sequence proceeds to step P161.

If the judgment at step P151 does not show the switching from OFF to REC, a judgment is made as to whether or not the mode switching switch S3 is switched from PLAY to REC (step P170), and if switched thereto, the display of PLAY on the display section is turned OFF, and the signal CSDP is allowed to go "Low" so that a signal indicating that the switching has been made from PLAY to REC is outputted to the signal processing section, thereby making the signal CSDP go "High" to complete the communication signal (step P171, P172, P173 and P174); thus, the sequence returns to the main routine.

Figs. 10(a) to 10(f) show a processing routine that corresponds to

the processing routine shown as step P105 of Fig. 7, in which the switch S1, which is turned on upon pressing of the release button to the first stage, is turned ON. First, a judgment is made as to whether or not the recording mode (REC) is maintained (step P201). If it is not the recording mode, the display of the display section 5 is flickered so as to indicate that no image pickup is available, and after switch S1 has been turned OFF, the sequence returns to the main routine (step P207, P208).

If the judgment at step P201 shows the recording mode, a judgment is made as to whether or not the frame-number display counter of the recorded images is zero (step P202), and if this is zero, a predetermined value K1 is set in the timer 1 to start it to count time in order to show that image recording is no longer available, and the counter display is flickered (step P203, P204). Upon completion of the time counting of the timer 1, the counter display is switched to a continuous light-on display (step P205, P206); thus, the sequence proceeds to the main routine.

If the judgment at step P202 shows that the counter is not zero, that is, the image pickup is available, the sequence proceeds to step P210 and thereafter. First, a judgment is made as to whether or not the macro pickup switch S9 is turned ON, and if this is ON, the macro pickup lamp LA is turned on (step P210, P211). If it is not the macro pickup process, the step P211 is omitted. The luminance of the subject, measured by the photometer circuit 36, is A/D converted and inputted (step P212), and a judgment is made as to whether or not the macro pickup switch S9 is turned on (step P213), and if this is ON, the sequence proceeds to P230.

If the macro pickup switch S9 is not ON, a judgment is made as to whether or not the subject is subjected to any of counter light or low luminance (step P214, P215), and if neither counter light nor low luminance occurs, the sequence proceeds to step P230. In the case of counter light or low luminance, a judgment is made as to whether or not the flash pickup switch S11 is turned ON (step P216), and if this is ON, a judgment is made as to whether or not the signal CHC indicating the completion of charging of the main capacitor 63 of the flash device 37 is "High" (step P217), and if this is "High", the sequence proceeds to step P230. Moreover, if it is not "High", the signal CHSTA for giving an instruction so as to start charging the main capacitor is allowed to go "High" to start charging, and after the charging process has been completed, the signal CHSTA is allowed to go "Low" to stop the charging (step P219, P220, P221), and a check is made to see whether the switch S1 is ON or not, if this is ON, the sequence proceeds to step P230, and if this is not ON, the sequence returns to the main routine.

A judgment is made as to whether or not the flash mode is ON at step P230. If the flash mode is ON, a judgment is made as to whether or not counter light occurs, and if counter light occurs, the shutter speed TVA, determined by the luminance of the subject, is switched to the flash controlling shutter speed TVF, and if no counter light occurs, the shutter speed TVH, determined by the hand trembling limit, is switched to the flash controlling shutter speed TVF (step P231, P232, P233). The judgment at step P230 shows that it is not the flash mode, the shutter speed TVA determined by the luminance of the subject and the shutter

speed TVH determined by the hand trembling limit are compared with each other in their values, and in the case of TVA ≥ TVH, TVA is used as the exposure controlling shutter speed TVC, and in the case of TVA < TVH, the TVH is used as the exposure controlling shutter speed TVC (step P234, P235, P236).

A judgment is made as to whether or not the switch S2, which is turned on upon pressing of the release switch to the second stage, is ON (step P237), and if this is not ON, a check is made to see the switch S1, and if this is ON, the sequence returns to step P237, and if this is not ON, the macro pickup lamp LA is turned OFF (step P238, P239), thereby returning to the main routine.

If the judgment at step P236 shows that the switch S2 is ON, a shutter operating plunger PL is turned ON so as to start the exposing operation, and the release start signal INREL is first allowed to go "Low" so as to inform the clock generation circuit 35 and the signal processing section 31 of the start of release (step P240, P241, P242). A judgment is made as to whether or not the macro pickup switch S9 is ON, and if this is ON, the signal LBC is allowed to go "Low" so that the correction in the signal processing in the signal processing section 31 is switched to a WB, γ correction used for the pickup process using a lamp, and if this is not ON, the signal LBC is allowed to go "High" so that it is switched to a WB, γ correction used for the normal pickup process (step P234, P244, P245). After the exposure start signal EXSTA outputted from the clock generation circuit 35 has been allowed to go "Low" (step P246), a judgment is made as to whether or not the flash mode is ON (step P 247).

If this is not the flash mode, that is, if the normal pickup process is carried out, based upon the shutter speed TVC at the time of the normal pickup process previously found, a value 2^{-TVC} is set to the timer 2, thereby starting to count time. Upon completion of the time counting (step P248, P249, P250), the sequence proceeds to step P260.

In the case when the judgment at step P247 shows that the flash mode is ON, based upon the shutter speed TVF at the time of the flash pickup process previously found, a value 2^{-TVF} is set to the timer 2, thereby starting to count time (step P251, P252). A value for specifying the light emission timing of the flash device is set to the timer 3, thereby starting time counting (step P253, P254). Upon completion of the time counting of the timer 2 prior to the timer 3 (for example, in the case when strong light enters during the exposure), the exposure is completed without the light emission of the flash, and the sequence proceeds to step P260. Moreover, upon completion of the time counting of the timer 3 prior to the timer 2, the flash device is allowed to emit light, and the light is adjusted and controlled, and the light emission is stopped, thereby completing the exposure (step P255, P256, P257, P258); thus, the sequence proceeds to step P260.

The shutter operating plunger PL is turned OFF (step P260), and the sequence waits for the completion of the signal processing in the signal processing section 31 (step P261). A judgment is made as to whether or not the macro pickup switch S9 is ON (step P262), and if this is ON, the lamp LA is turned OFF (step P264), and the sequence proceeds to step 269, and if it is OFF, a judgment is made as to whether or not the

flash pickup switch S11 is ON. If the switch S11 is OFF, the sequence proceeds to P269, and if this is ON, a judgment is made as to whether or not the signal CHC, which indicates the completion of charging in the main capacitor 63 of the flash device 37, is "High" (step P256), and if this is "High", the sequence proceeds to step P269. If the signal CHC is not "High", the signal CHSTA for giving an instruction so as to start charging the main capacitor is allowed to go "High", thereby starting to charge, and after the completion of the charging, the signal CHSTA is allowed to go "Low", thereby stopping the charge (step P266, P267, P268).

Additional data, such as date data, etc., is recorded in the inner memory 40 and the IC card 41 through the data bus DB2, and the signal INREL for indicating the completion of exposure is allowed to go "High" (step P269, P270).

A judgment is made as to whether or not the protect switch S6 is set to ON position (step P271), and if this is not ON, the protect display is turned OFF (step P272), and the sequence proceeds to step P280. If this is ON, a predetermined value K1 is set to the timer 1, thereby starting to count time (steps P273 to P275). A judgment is made as to whether or not the protect/erase operation switch S7 is turned ON during the counting time of the timer 1 (step P275), and if this is ON, protect data is recorded in the inner memory 40 or the IC card 41 through the data bus DB1 in order to protect the image frame picked up immediately before so that the protect display is turned ON, and after the protect/erase operation switch S7 has been turned OFF (step P276, P277, P278), the sequence proceeds to step 280. Moreover, in the case when the judgment

at step P275 shows that the switch S7 is not ON, that is, in the case when the protect/erase operation switch S7 has not been pressed during the time counting of the timer 1, after the time counting of the timer 1 has been completed, the sequence proceeds to step P280 after completion of the time counting of the timer 1 (step P279), without carrying out the protective process.

After the content of the frame counter has been decremented by one, a judgment is made as to whether or not the content of the counter is zero, and a judgment is further made as to whether or not any IC card 41 has been inserted (step P280, P281, P282). If the counter is not zero, and if any IC card has not been inserted, the sequence proceeds to step P286. If the counter is zero with the IC card being inserted, the content of the counter is set to 10 (the image recording capacity of the inner memory 40) since the IC card is no longer allowed to record, and the completion display of the IC card recording is turned ON (step P283, P284, P285). The image data corresponding to the frame number of the counter is read from the inner memory through the address bus ADB1, and data indicating that the frame is protected or not is inputted (step P286, P287). A judgment is made as to whether or not the frame has the protect data already written thereon (step P288), and if it has the protect data, the sequence returns to step P280 since the frame is not recorded, and the next frame is subjected to the process.

As a result of the judgment at step P288, in the case when the protect data has not been written therein, after the switch S1, which is turned ON upon pressing of the release button to the first stage, has been

turned OFF (step P289), a judgment is made as to whether or not the protect switch S6 is ON (step P290), if it has been turned off. In the case when the switch S6 is ON, a predetermined value K1 is set to the timer 1, thereby starting to count time, and after the protect display has been flickered for a predetermined time, it is continuously lit on, thereby informing that the protect process has been completed (step P291 to P294); thus, the sequence proceeds to step P296. In the case when the judgment at step P290 shows that the protect switch S6 is OFF, the protect display is turned OFF, and after displaying the number of recordable frames on the counter (step P295, P296), the sequence returns to the main routine.

Fig. 11 shows a flow chart of a reproducing-mode processing routine in the case when the function switching switch S3 is in the reproducing mode (PLAY) that is shown as step P107 in the flow chart of Fig. 7. First, a judgment is made as to whether or not the function switching switch S3 has been switched from REC to PLAY position (step P301), and if it has been switched to that position, the PLAY display is turned ON, and the signal CSDP is allowed to go "Low" to inform the signal processing section 31 that the switching to the PLAY mode has been made, and the signal CSDP is allowed to go "High", thereby completing the communication (step P302 to P305). In the case when the judgment at step P301 does not show that the switch S3 has been switched to REC to PLAY, a judgment is made as to whether or not the mode switching switch S3 has been switched from ERASE to PLAY (step P306), and if the switching has been made, the ERASE display is turned

OFF; thus, the sequence proceeds to step P302. Moreover, if the switching has not been made, the sequence proceeds to step P308.

A judgment is made as to whether or not any IC card 41 has been inserted (step P308), and if any IC card 41 has been inserted, the card display is turned ON, and a judgment is made as to whether or not the IC card has just been inserted during the reproducing mode. If it has just been inserted, the number of reproducible frames 32 is set on the counter, and the card mode is set (steps P309 to P312). If the judgment at step P310 shows that the IC card has already been inserted, the processes such as setting of the number of reproducible frames (steps P311 and P312) are omitted. If the judgment at step P308 shows that no IC card is inserted, the card display is turned OFF, and a judgment is made as to whether or not the IC card has just been drawn therefrom, and if it has just been drawn, the number of reproducible frames 10 is set on the counter, and the inner memory mode is set (steps P313 to P316). If the judgment at step P314 shows that the IC card was previously drawn, the processes such as the setting of the number of reproducible frames (steps P315 and P316) are omitted.

The contents of the counter are outputted through the address bus ADB1 so that the contents of the counter are displayed, and image data at the corresponding address is read from the IC card 41 or the inner memory 40, and outputted as image signals (step P317 to P319). When the access switch S4 (UP) is pressed, the sequence proceeds to an S4 processing routine, which will be described later, and when the access switch S5 (DOWN) is pressed, the sequence proceeds to an S5 processing

routine, which will be described later. Here, if any selection switch for another mode is pressed, the sequence returns to the main routine, and then proceeds to the corresponding sub-routine (steps P320 to P322). In the case when neither the access switch S4 nor S5 nor any selection switch for another mode is pressed, the sequence returns to step P319, thereby continuing to output the image signals.

Figs. 12(a) to 12(c) show an erasing-mode processing routine in the case when the mode switching switch S3 is in the erasing mode (ERASE) that is shown as step P109 in the flow chart of Fig. 7. First, a judgment is made as to whether or not the mode switching switch S3 is set to ERASE-SINGLE (step P331), and if it is set to ERASE-SINGLE, that is, in the case of the single-frame erasing process, the sequence proceeds to step P332, and if it is set to ERASE-ALL, that is, in the case of the all-frame erasing process, the sequence proceeds to step P371.

At step P332, a judgment is made as to whether the mode switching switch S3 is switched from PLAY to SINGLE or from All to SINGLE, and in the former case, the PLAY display is turned OFF, and in the latter case, "A" display indicating all the frames is turned off (steps P332 to P335). "S" display indicating the single frame is turned ON, and the signal CSDP is allowed to go "Low" so as to inform the signal processing CPU 51 that the single frame erasing mode is ON, and the signal CSDP is allowed to go "High", thereby completing the communication (steps P336 to P339).

Next, depending on whether or not any IC card 41 has been inserted, the IC card mode or the inner memory mode is set (step P340 to

P348). The sequence is the same as that of the PLAY processing routine at steps P308 to P316 shown in Fig. 11; therefore, the detailed description thereof is omitted.

The sequence proceeds to step P350, and the contents of the counter is outputted through the address bus ADB1 so that the contents of the counter are displayed, and the protect data of the image to be reproduced is read (step P350 to P352). A judgment is made as to whether or not the image to be reproduced has protect data, and if there is no protect data, that is, if the data is not protected, the image data is outputted, and if there is protect data, the contents of the counter are decremented by one, and the processing is executed on the next frame; therefore, the sequence returns to step P350 (steps P353, P354 and P355). The above-mentioned processes make it possible to prevent the image bearing the protect data from being reproduced, and thereby from being erroneously erased.

A judgment is made as to whether or not the protect/erase operation switch S7 is turned ON (step P356), and if it is ON, the erasing data is outputted to the signal processing CPU 51 so that after the erasing process on the recorded image has been completed, the erase display is turned ON (steps P357 to P359). After the protect/erase operation switch S7 has been turned OFF (step P360), the sequence proceeds to P361. In the case when the judgment at step P356 shows the switch S7 is not ON, the sequence also proceeds to step P361.

When the access switch S4 (UP) is pressed, the sequence proceeds to the S4 processing routine, which will be described later, and when the

access switch S5 (DOWN) is pressed, the sequence proceeds to the S5 processing routine, which will be described later. Further, when any selection switch for another mode is pressed, the sequence returns to the main routine, and then proceeds to the corresponding sub-routine (steps P361 to P363). Neither the access switch S4 nor S5, nor any selection switch for another mode is pressed, the sequence returns to step P350.

If the judgment at step P331 shows that not the single-frame erasing but the all-frame erasing is ON, the sequence proceeds to P371. First, "S" display indicating the single frame is turned OFF, and "A" display indicating all the frames is turned ON. The signal CSDP is allowed to go "Low" so as to inform the signal processing CPU 51 that the all-frame erasing mode is ON, and the signal CSDP is allowed to go "High", thereby completing the communication (steps P371 to P375). A judgment is made as to whether or not the protect/erase operation switch S7 is ON (step P376), and if it is ON, the erasing data is outputted to the signal processing CPU 51, and after the erasing process has been completed, the erase display is flickered. Then, after the switch S7 has been turned OFF, the erase display is turned ON (steps P377 to P381). A judgment is made as to whether or not any IC card 41 has been inserted, and if it has been inserted, the contents of the counter are set to 32, while if it has not been inserted, the contents of the counter is set to 10 (steps P382 to P385), and the sequence returns to the main routine.

Figs. 13(a) to 13(d) are flow charts that show processes, such as a forwarding process of image frames at the time of reproducing the recorded images and a forwarding process of image frames at the time of

erasing images frame by frame, carried out by the operations of the access switch S4 (UP) that is shown as step P111 of the flow chart shown in Fig. 7. First, a judgment is made as to whether or not the mode switching switch S3 is set to the reproducing mode (PLAY) (step P401), and if it is not the reproducing mode, a judgment is made as to whether or not the erasing mode frame by frame (S-ERASE) is ON, and if it is the erasing mode, the sequence proceeds to step P441, and if it is not the erasing mode, the sequence returns to the main routine (step P402).

When the judgment at step P401 shows the reproducing mode, a judgment is made as to whether or not the access switch S4 is switched from OFF to ON, and each time the switching is made from OFF to ON, the sequence proceeds to step P405 (step P403, P404). The contents of the counter are incremented by 1 (step P405), and a judgment is made as to whether or not any IC card 41 has been inserted (step P406). If it has been inserted, a judgment is made as to whether or not the contents of the counter have become 33 (step P407). If the contents of the counter is 33, this indicates that all the frames recorded in the IC card 41 have been reproduced; therefore, the counter is set to 1 so that the inner memory mode is set so as to reproduce the images recorded in the inner memory 40 (step P408, P409). If the judgment at step P407 shows that the contents of the counter are not 33, a judgment is made as to whether or not the inner memory mode is set, and if the inner memory mode is set, a judgment is made as to whether or not the contents of the counter are 11 (step P410, P411). In the case when the contents of the counter are 11, this indicates that all the frames recorded in the inner memory 40 have

been reproduced; therefore, the counter is set to 1, and the IC card mode is set so as to reproduce images recorded in the IC card 41 (step P412, P413). If the judgment at step P410 or P411 is negative, the sequence proceeds to step P416. Moreover, if the judgment at step P406 shows that no IC card is inserted, a judgment is made as to whether or not the contents of the counter are 11, and if the contents of the counter are 11, the counter is set to 1, and if not 11, the sequence immediately proceeds to step P416 (step P414, P415).

The contents of the counter are outputted through the address bus ADB1, an access is made to the IC card 41 or the inner memory 40, the contents of the counter are displayed, and the image data in the frame corresponding to the address is read from the IC card 41 or the inner memory 40 so that the resulting data is outputted as image signals (steps P416 to P418). The protect data of the frame being reproduced are read out, and a judgment is made as to whether or not the image being reproduced is protected (step P419, P420). As a result of the judgment, if the data is protected, the protect display is turned ON, and a judgment is made as to whether or not the protect switch S6 is located at the releasing position (REMOVE) for releasing the protect, and if it is located at the releasing position, the releasing data is outputted, the protect display is turned OFF (steps P422 to P424), and the sequence returns to step P401. If the switch S4 is not located at the releasing position, the sequence immediately returns to the step P401.

If the judgment at step P420 shows that the data is not protected, a judgment is made as to whether or not the protect switch S6 is located

in ON position, and if it is in ON position, a predetermined value K2 is set to the timer 1, thereby starting to count time (steps P425 to P427). The judgment at step P426 shows that the switch S6 is not located in ON position, the sequence returns to step P401. A judgment is made as to whether or not the protect/erase operation switch S6 is turned ON during the time counting process of the timer 1 (step P428), and if it is ON, the protect data is outputted to the IC card or the inner memory through the data bus DB2 so as to be written therein, the protect display is turned ON, and after the switch S6 has been turned OFF (steps P429 to P432), the sequence returns to step P401.

Here, in the above-mentioned preferred embodiment, the period at which the protect switch S6 is operated is regulated by the time K2 that has been set in the timer 1, and only when the switch S6 is operated during this period, the protect operation is executed; however, in addition to this arrangement, for example, the setting period of the protect may be set to a period during which images are switched to the next one.

With respect to the judgment at step P402, an explanation will be given of the single-frame erasing mode. In these processes, the processes of steps P441 to P455 (Fig. 13(c)) are the same as those processes of steps P403 to P417 at the time of the reproducing mode (Figs. 13(a)(b)), the explanation thereof is omitted.

At step P456, the protect data of the image to be reproduced is read out. A judgment is made as to whether or not there is protect data applied to the image to be reproduced, and if there is no protect data, that is, the data is not protected, the image signals are outputted, and if the

protect data is recorded, the sequence proceeds to step S443 so as to process the next frame (steps P457 to P458). The above-mentioned processes make it possible to prevent the image to be protected from being reproduced, and thereby from being erroneously erased.

A judgment is made as to whether or not the protect/erase operation switch S7 is turned ON (step P459), and if this is ON, the erasing data is outputted to the signal processing CPU 51, and after the erasing process of the recorded image has been completed, the erase display is turned ON (steps P459 to P462). Then, after the switch S7 has been turned OFF, the sequence proceeds to step P401. In the case when the judgment at step P459 shows that the switch S7 is not ON, the sequence also proceeds to step P401.

Figs. 14(a) to 14(d) are flow charts that show processes, such as a back-feeding process of image frames at the time of reproducing the recorded images and a back-feeding process of image frames at the time of erasing images frame by frame, carried out by the operations of the access switch S5 (DOWN) that is shown as step P113 of the flow chart shown in Fig. 7. First, a judgment is made as to whether or not the mode switching switch S3 is set to the reproducing mode (PLAY) (step P501), and if it is not the reproducing mode, a judgment is made as to whether or not the erasing mode frame by frame is (S-ERASE) ON, and if it is the erasing mode, the sequence proceeds to step P541, and if it is not the erasing mode, the sequence returns to the main routine (step P502).

When the judgment at step P501 shows the reproducing mode, a judgment is made as to whether or not the access switch S5 is switched

from OFF to ON (step P503, P504), and each time the switching is made from OFF to ON, the contents of the counter are decremented by 1 (step P505), and a judgment is made as to whether or not any IC card 41 has been inserted (step P506). If it has been inserted, a judgment is made as to whether or not the contents of the counter have become 0 (step P507). If the contents of the counter are 0, this indicates that all the frames recorded in the IC card 41 have been reproduced; therefore, the counter is set to 10 so that the inner memory mode is set so as to reproduce the images recorded in the inner memory 40 (step P508, P509). If the judgment at step P507 shows that the contents of the counter are not 0, a judgment is made as to whether or not the inner memory mode is set, and if the inner memory mode is set, a judgment is made as to whether or not the contents of the counter are 0 (step P510, P511). In the case when the contents of the counter are 0, this indicates that all the frames recorded in the inner memory 40 have been reproduced; therefore, the counter is set to 32, and the IC card mode is set so as to reproduce images recorded in the IC card 41 (step P512, P513). If the judgment at step P510 or P511 is negative, the sequence proceeds to step P516. Moreover, if the judgment at step P506 shows that no IC card is inserted, a judgment is made as to whether or not the contents of the counter are 0, and if the contents of the counter are 0, the counter is set to 10, and if not 0, the sequence immediately proceeds to step P516 (step P514, P515).

Processes of steps P516 to P532 including the process for outputting image signals from the image recording frames and the process for recording and releasing the protect data by the operation of

the protect/erase operation switch S6 are the same as those of steps P416 to P432 in the processes of the access switch S4; therefore, the explanation thereof will be omitted.

An explanation will be given of a process in the case of the single-frame erasing mode indicated by the judgment of the step P502. The process, which starts with step P541, includes steps P541 to P555 (Fig. 14(c)) that have the same contents of the process as those of the steps P503 to P517 (Figs. 14(a)(b)) in the case of the reproducing mode. Moreover, the processes of steps P556 to P563 (Fig. 14(d)), which are the single-frame erasing processes, have the same contents of the processes as those processes indicated by steps P456 to P463 (Fig. 13(d)) of the process by the access switch S4. Therefore, the explanation thereof is omitted.

Figs. 15(a) to 15(c) are flow charts that show processes indicating the automatic frame-forwarding (AUTO) process at the time of image reproducing that is selected by the frame-forwarding switching switch S8, which is indicated as step P115 in the flow chart shown in Fig. 7.

When the automatic frame-forwarding process is selected by the operation of the switch S8, a judgment is first made as to whether or not the function switching switch S3 is in the image reproducing mode (PLAY) or in the erasing mode (S-ERASE) frame by frame (step P601, P602), and only in the case of these two modes, the sequence proceeds to step P603 and thereafter.

A judgment is made as to whether or not the access switch S4 is switched from OFF to ON, and if it is not switched in this manner, the

same judgment is made on the access switch S5 (step P603, P604). In the case when the switch S4 is switched from OFF to ON, a predetermined value K4 is set to the timer 4, thereby starting to count time, and the contents of the counter are incremented by 1 (steps P605 to P607).

In steps P608 to P621, depending on the fact that all the frames recorded in the IC card have been reproduced or that all the frames recorded in the inner memory have been reproduced, the inner memory mode or the IC card mode is set, and the images are reproduced, and the images are reproduced so that the image signals are outputted; and these steps are the same as the steps P406 to P418 in the processes of the access switch S4. Therefore, the explanation thereof is omitted here.

A judgment is made as to whether or not the access switch S4 or S5 has been switched from OFF to ON (steps P622 to P624) prior to the completion of the time counting process of the timer 4 (steps P622 to P624). If the time counting process of the timer 4 has been completed first, the sequence returns to step P605, and a time counting process is again started out by the timer 4 so as to carry out the reproducing process on the next image. Moreover, when the switch S4 or the switch S5 is turned ON prior to the completion of the time counting process of the timer 4, the time counting process of the timer 4 is stopped so as to read the protect data of the reproducing images (step P625, P626).

In steps P626 to P639, the protect data of the reproducing images is read out, and the recording and releasing of the protect data are carried out by the operation of the protect/erase operation switch S6; and since

these steps are the same as the aforementioned steps P419 to P432 in the processes of the access switch S4. Therefore, the description thereof is omitted here.

In the case when the judgment at step P604 shows that the access switch S5 has been switched from OFF to ON, the sequence proceeds to step P641. First, a predetermined value K4 is set to the timer 4, thereby starting to count time, and the contents of the counter are decremented by 1 (steps P641 to P643).

In steps P644 to P657, depending on the fact that all the frames recorded in the IC card have been reproduced or that all the frames recorded in the inner memory have been reproduced, the inner memory mode or the IC card mode is set, and the images are reproduced so that the resulting image signals are outputted; and these steps are the same as the aforementioned steps P506 to P518 of the processes by the access switch S5. Therefore, the description thereof is omitted here.

A judgment is made as to whether or not the access switch S4 or S5 has been switched from OFF to ON prior to the completion of the time counting process of the timer 4 (steps P658 to P660). In the case when the time counting process of the timer 4 has been completed first, the sequence returns to step P641, and a time counting process is again started by the timer 4 so as to reproduce the next image. Moreover, in the case when the switch S4 or S5 has been turned ON prior to the completion of the time counting of the timer 4, the sequence proceeds to step P625, thereby carrying out the recording and releasing processes of the protect data in the same manner as described earlier.

Fig. 16 is a flow chart that shows the manual frame-forwarding process (MANUAL) at the time of reproducing images that is selected by the frame-forwarding switching switch S8 shown as step P117 in the flow chart of Fig. 7. As clearly shown by this flow chart, when the switch S8 is set to MANUAL, each time the access switch S4 is switched from OFF to ON, the aforementioned process of S4 is executed, and each time the access switch S5 is switched from OFF to ON, the aforementioned process of S5 is executed.

Fig. 17 is a flow chart that shows the date setting process shown as step P119 in the flow chart shown in Fig. 7. First, when the date setting switch S13 is turned ON, the "year" setting mode is started, and the access switches S4 and S5 are operated so as to set a desired year (step P701). When the mode shift switch S12 is turned ON, the modes are switched to the "month" setting mode, and the access switches S4 and S5 are operated so as to set a desired month (step P702, P703). Thereafter, in the same manner, the mode shift switch S12 and the access switches S4 and S5 are operated so as to set "date", "hour" and "minute" are set (steps P704 to P709). A judgment is made as to whether or not the date setting switch S13 is turned ON (step P710), and if it is not ON, the sequence returns to step P701, and the date setting process is again provided. If it is ON, the date setting process is completed so that the sequence returns to the main routine. The display on the right side of Fig. 17 shows one example of the display state of the display section 13 in the respective steps.

Here, in the present preferred embodiment, after the completion

of the setting of "minute", the state of the switch S13 is judged; however, the state of the switch S13 may be judged after the data setting of each mode, and in the case of ON, the display may be set to the original state.

Figs. 18(a) and (b) are flow charts that indicate the process for transferring images recorded in the inner memory to the IC card, when the IC card is inserted. First, a judgment is made as to whether or not any IC card 41 has been inserted to the camera (step P801), and if it has been inserted, the signal CSDP is allowed to go "Low" so that the memory state of the IC card is sent from the signal processing CPU 51, and the signal CSDP is allowed to go "High", thereby completing the communication (steps P802 to P804). A judgment is made as to whether the IC card is unrecorded or the inner memory has any recorded images (step P805, P806), and if the IC card is unrecorded and there is any recorded image in the inner memory, the sequence proceeds to step P807. If the IC card has been recorded or the inner memory has no recorded images, the sequence returns to the main routine.

Supposing that the leading frame number of the recorded images in the inner memory is X (in this preferred embodiment, 10), and that the leading frame number of the recordable areas in the IC card is Y (in this preferred embodiment, 32) (step P807, P808), modes are switched to the inner memory mode, and the contents of the counter are set to X so that image data is read from the frame of the inner memory corresponding to the contents of the counter X, and stored in the buffer memory (steps P809 to P812). In the present preferred embodiment, this process is controlled by the signal processing CPU 51 so that after the completion of

the process (step P813), the contents of the counter X are again outputted, thereby erasing the image data in the corresponding frame in the inner memory (steps P814 to P815). After completion of the erasing process (step P816), the IC card mode is set, and the contents of the counter are set to Y so that the image data, stored in the buffer memory, is recorded in the frame of the IC card corresponding to the contents of the counter Y (steps P817 to P820). After completion of the recording process (step P821), the inner memory mode is again set so that the frame number X of the inner memory to be processed is decremented by 1, thereby preparing for the processing of the next flame (steps P822 to P823). A judgment is made as to whether or not the frame number is 0, and if it is not 0, this indicates that there are frames to be processed so that a new frame number X is set to the counter, and the image data is read from the frame of the inner memory corresponding to the contents of the counter X, and stored in the buffer memory (steps P824 to P827). After completion of the process (step P828), the contents of the counter X is again outputted and the image data of the corresponding frame in the inner memory is erased (steps P829 to P830). After the completion of the erasing process (step P831), the IC card mode is set, and the contents of the counter Y is decremented by 1 so that the image data, stored in the buffer memory, is recorded in the frame in the IC card corresponding to the new contents of the counter Y; thus, after the completion of the process (step P832 to P837), the sequence returns to step P822 so as to process the next frame.

When the judgment at step P824 shows X = 0, that is, when all the image data recorded in the inner memory have been processed, the

number of recordable frames in the IC card is subtracted by the number of frames stored in the inner memory, and a display is provided so as to indicate that the IC card is recordable from this frame number, thereby completing the processes (steps P840 to P841).

Here, in the above-mentioned preferred embodiments, the IC card to which images recorded in the inner memory are transferred is limited to an unrecorded card; however, an IC card in which image data is partially recorded may be used so as to record data in the partially unrecorded areas. Moreover, in the above-mentioned preferred embodiment, images in all the frames stored in the inner memory are transferred to the IC card; however, only the images in protected frames may be transferred.

Fig. 19 shows a display example of the display section 5. Among display elements of the display section 5, 5a is a display element that represents a frame number of each image that is processed in various modes such as recording, protective, reproducing and erasing operations, 5b is a display element that indicates the insertion of the IC card, 5c is a display element that shows a mode (year, month, data, time) at the time of the date setting process. Moreover, 5d is a display element indicating the protective mode, 5e is a display element indicating the reproducing mode, and 5f is a display element indicating the single-frame erasing mode.

Figs. 19(a), (b) and (c) are display examples that show the recording mode; and 19(a) indicates that an IC card is inserted and the IC card is set so that 32 frames of images can be recorded therein. Fig.

19(b) indicates by slanting lines in the center of the display 5b that all the frames in the IC card have been recorded, while 10 frames of images can be recorded in the inner memory. Fig. 19(c) indicates that no IC card is inserted, while the inner memory is set so that 10 frames of images can be recorded.

Figs. 19(d), (e) and (f) show display examples in the case of the protective mode, and Figs. 19(g), (h) and (i) show display examples in the case of the reproducing mode, while Figs. 19(j), (k) and (l) indicate the single-frame erasing mode in which "S-ERASE" is displayed. In the case when of the all-frame erasing mode, "A-ERASE" is displayed.

In the above-mentioned preferred embodiment, the IC card is used as a recording medium for recording digital image signals; however, instead of this, a magnetic disk may be used so as to record analog image signal.

[Effects of the Invention]

As described above, in accordance with the present invention, an image recorded in a first image recording medium installed in a camera is transferred and recorded in a second image recording medium that is freely detachably attached to the camera; therefore, upon reproducing images, it is not necessary to connect the camera to a reproducing apparatus, and the IC card is directly inserted to the reproducing apparatus, thereby making it possible to greatly improve the operability.

4. Brief Description of the Drawing

Fig. 1 is a perspective view that shows the external appearance of

a camera in accordance with the present invention, Fig. 2 is a block diagram that shows a control circuit of the camera, Fig. 3 is a block diagram that shows a signal processing section in the control circuit in detail, Fig. 4 is a perspective view that shows the external appearance of a flash device, Fig. 5 is a circuit diagram of the flash device, Fig. 6 is a perspective view that shows the construction of an image pickup section, Figs. 7 to 17 are flow charts that explain the control operations of the camera, in which Fig. 7 is a flow chart that shows the outline of the entire controlling operation, Fig. 8 is a flow chart that shows a process in which a mode switching switch is OFF, Fig. 9 is a flow chart that shows a process in a recording mode, Fig. 10 is a flow chart that shows a process in which a switch S1, which is activated by pressing a release button to the first stage, is turned ON, Fig. 11 is a flow chart that shows a process in a reproducing mode, Fig. 12 is a flow chart that shows a process in an erasing mode, Fig. 13 is a flow chart that shows a process in which an access switch S4 is used, Fig. 14 is a flow chart that shows a process in which an access switch S5 is used, Fig. 15 is a flow chart that shows an automatic frame-forwarding process by a frame-forwarding switch S8, Fig. 16 is a flow chart that shows a manual frame-forwarding process by a frame-forwarding switch S8, and Fig. 17 is a flow chart that shows a date setting process by a date setting switch S13; Fig. 18 is a flow chart that shows a process for transferring recorded images in an inner memory to an IC card to be recorded therein, and Fig. 19 is a drawing that shows a display example of a display section.

1: camera main body, 2: pickup lens, 4: release button, 5: display

section, 7: macro pickup light-projection window, 8: IC card insertion slot, 9: flash device connecting section, S3: mode switching switch, S4, S5: access switch, S6: protect switch, S7: protect/erasing operation switch, S8: frame-forwarding switching switch, S9: macro pickup switch, S10: flash pickup switch, 30: CPU, 31: signal processing section, 40: inner memory, 41: IC card.

Fig. 2

36 PHOTOMETER CIRCUIT

35 CLOCK GENERATION CIRCUIT

37 FLASH DEVICE

31 SIGNAL PROCESSING SECTION

41 IC CARD

40 INNER MEMORY

38 POWER SUPPLY

5 DISPLAY

Fig. 3

55 BUFFER MEMORY

53 ADDRESS GENERATION CIRCUIT

52 SIGNAL PROCESSING CIRCUIT

51 SIGNAL PROCESSING CPU

41 IC CARD

40 INNER MEMORY

Fig. 7

開始 START

P101 OFF PROCESS

P102 RECORDING MODE

P103 RECORDING MODE PROCESS

P105 S1 ON PROCESS

P106 REPRODUCING MODE

P107 REPRODUCING MODE PROCESS

P108 ERASING MODE

P109 ERASING MODE PROCESS

P111 S4 PROCESS

P113 S5 PROCESS

P115 AUTOMATIC FORWARDING PROCESS

P117 MANUAL FORWARDING PROCESS

P119 DATE SETTING PROCESS

終了 END

Fig. 8

OFF 処理 OFF PROCESS

P131 PORT-TIMER RESET

P132 PROTECT DISPLAY ON?

P133 PROTECT DISPLAY OFF

P134 COMPLETION DISPLAY ON?

P135 COMPLETION DISPLAY OFF

P136 IC CARD DISPLAY ON?

P137 IC CARD DISPLAY OFF

P138 DATE DISPLAY OFF

P139 COUNTER DISPLAY OFF

P140 PWC → H

リターン RETURN

Fig. 9

記録モード処理　RECORDING MODE PROCESS

P153　IC CARD ON?

P154　IC CARD DISPLAY ON

P156　CARD DATA INPUT

P158　IC CARD UNRECORDABLE ?

P160　COMPLETION DISPLAY ON

P161　COUNTER DISPLAY ON

P162　DATE SETTING DISPLAY ON

リターン　RETURN

P166　INNER MEMORY DATA INPUT

P171　PLAY DISPLAY OFF

Fig. 10(a)

リターン　RETURN

P207　FLICKERING DISPLAY

S1 ON 処理　S1 ON PROCESS

P201　RECORDING MODE?

P202　COUNTER = 0 ?

P203　TIMER 1 START COUNTING

P204　COUNTER FLICKERING DISPLAY

P205　TIMER 1 COMPLETED?

P206　COUNTER LIGHT UP

リターン　RETURN

P210　MACRO PICKUP S9 ON?

P211 LAMP LA → ON

P212 INPUT PHOTOMETER VALUE

P213 MACRO PICKUP S8 ON?

P214 COUNTER LIGHT ?

P215 LOW LUMINANCE ?

P216 FLASH S11 ON?

Fig. 10 (b)

P230 FLASH MODE?

P231 COUNTER LIGHT

P239 LAMP LA → OFF

リターン RETURN

Fig. 10(c)

P240 SHUTTER PL → ON

P241 START EXPOSING

P243 MACRO PICKUP S9 ON?

P247 FLASH MODE

P248 TIMER 2 → 2^{-TVC}

P249 TIMER 2 START

P250 TIMER 2 COMPLETION?

P251 TIMER 2 → 2^{-TVF}

P252 TIMER 2 START

P253 TIMER 3 → LIGHT EMISSION TIMING

P254 TIMER 3 START

P255 TIMER 2 COMPLETION?

P256 TIMER 3 COMPLETION?

P257 FLASH LIGHT EMISSION

P258 STOP LIGHT EMISSION

Fig. 10(d)

P260 SHUTTER PL OFF

P262 MACRO PICKUP S9 ON?

P263 FLASH S11 ON?

P264 LAMP LA OFF

P259 WRITE ADDITIONAL DATA

Fig. 10(e)

P273 TIMER 1 ← K2

P274 TIMER 1 START TIME COUNTING

P276 WRITE PROTECT DATA

P277 PROTECT DISPLAY ON

P272 PROTECT DISPLAY OFF

P279 TIMER 1 COMPLETION?

Fig. 10(f)

P280 COUNTER ← (n – 1)

P281 COUNTER n = 0 ?

P282 IC CARD ON?

P283 COUNTER ← 10

P284 DISPLAY COMPLETION ON

P285 SET INNER MEMORY MODE

P286 READ INNER MEMORY

P287 INPUT PROTECT DATA

P288 PROTECT DATA?

P289 S1 OFF?

P291 TIMER 1 ← K1

P292 PROTECT FLICKERING DISPLAY

P293 TIMER 1 COMPLETION?

P294 PROTECT DISPLAY ON

P295 PROTECT DISPLAY OFF

P296 COUNTER DISPLAY ON

リターン RETURN

Fig. 11

再生モード処理 REPRODUCING MODE PROCESS

P302 PLAY DISPLAY ON

P303 CSDP → L

P304 PLAY MODE

P308 IC CARD ON?

P309 CARD DISPLAY ON

P311 COUNTER ← "32"

P312 SET CARD MODE

P317 COUNTER → ADB1

P318　COUNTER DISPLAY

P307　ERASE DISPLAY OFF

P313　CARD DISPLAY OFF

P315　COUNTER ← “10”

P316　SET INNER MEMORY MODE

P319　IMAGE SIGNAL OUTPUT

S4 処理　S4 PROCESS

S5 処理　S5 PROCESS

P322　ANOTHER MODE?

リターン　RETURN

Fig. 12(a)

消去モード処理　ERASING MODE PROCESS

P333　PLAY DISPLAY OFF

P335　“A” DISPLAY OFF

P336　“S” DISPLAY ON

P338　S-ERASE MODE

P340　IC CARD ON?

P341　CARD DISPLAY ON

P343　COUNTER ← “32”

P344　SET CARD MODE

P345　CARD DISPLAY OFF

P347　COUNTER ← “10”

P348　SET INNER MEMORY MODE

Fig. 12 (b)

P350 COUNTER → ADB1

P351 COUNTER DISPLAY

P352 READ PROTECT DATA

P353 PROTECT DATA?

P354 OUTPUT IMAGE SIGNAL

P357 OUTPUT ERASING DATA

P359 ERASE DISPLAY ON

P355 COUNTER ← (n – 1)

S4 処理 S4 PROCESS

S5 処理 S5 PROCESS

P363 ANOTHER MODE?

リターン RETURN

Fig. 12(c)

P371 "S" DISPLAY OFF

P372 "A" DISPLAY ON

P374 A-ERASE MODE

P377 OUTPUT ERASING DATA

P379 FLICKERING ERASE DISPLAY

P381 ERASE DISPLAY ON

P382 IC CARD ON?

P383 COUNTER ← "32"

P384 COUNTER ← "10"

P385 COUNTER DISPLAY ON

リターン　RETURN

Fig. 13(a)

S4 処理　S4 PROCESS

P401　REPRODUCING MODE?

P402　SINGLE-FRAME ERASING MODE?

P405　COUNTER ← (n + 1)

P406　IC CARD ON?

P407　COUNTER = 33?

P408　COUNTER ← "1"

P409　SET INNER MEMORY MODE

P410　INNER MEMORY MODE?

P411　COUNTER = 11?

P412　COUNTER ← "1"

P413　SET IC CARD MODE

リターン　RETURN

P414　COUNTER = 11?

P415　COUNTER ← "1"

Fig. 13(b)

P416　COUNTER → ADB1

P417　COUNTER DISPLAY

P418　OUTPUT IMAGE SIGNAL

P419　READ PROTECT DATA

P420　PROTECT DATA?

P421 PROTECT DISPLAY ON

P422 S6 RELEASING POSITION ?

P423 OUTPUT RELEASING DATA

P424 PROTECT DISPLAY OFF

P425 S6 ON POSITION?

P426 TIMER 1 ← K2

P427 TIMER 1 START COUNTING TIME

P428 S6 ON POSITION?

P429 OUTPUT PROTECT DATA

P430 PROTECT DISPLAY ON

P431 S6 OFF POSITION?

P432 TIMER 1 COMPLETION?

Fig. 13(c)

P443 COUNTER ← (n + 1)

リターン RETURN

P444 IC CARD ON?

P445 COUNTER = 33?

P446 COUNTER ← 1

P447 SET INNER MEMORY MODE

P448 INNER MEMORY MODE?

P449 COUNTER = 11?

P450 COUNTER ← 1

P451 SET IC CARD MODE

P452 COUNTER = 11?

P453 COUNTER ← 1

P454 COUNTER → ADB1

P455 COUNTER DISPLAY

Fig. 13(d)

P456 READ PROTECT DATA

P457 PROTECT DATA?

P458 OUTPUT IMAGE SIGNAL

P460 OUTPUT ERASING DATA

P462 ERASE DISPLAY ON?

Fig. 14(a)

S5 処理 S5 PROCESS

P501 REPRODUCING MODE?

P502 SINGLE-FRAME ERASING MODE?

リターン RETURN

P505 COUNTER → (n − 1)

P506 IC CARD ON?

P507 COUNTER = 0?

P508 COUNTER → 10

P509 SET INNER MEMORY MODE

P510 INNER MEMORY MODE?

P511 COUNTER = 0?

P512 COUNTER ← 32

P513 SET IC CARD MODE

P514 COUNTER = 0

P515 COUNTER ← 10

Fig. 14 (b)

P516 COUNTER → ADB1

P517 COUNTER DISPLAY

P518 OUTPUT IMAGE SIGNAL

P519 READ PROTECT DATA

P520 PROTECT DATA

P521 PROTECT DISPLAY ON

P522 S6 RELEASING POSITION

P523 OUTPUT RELEASING DATA

P524 PROTECT DISPLAY OFF

P525 S6 ON POSITION?

P526 TIMER 1 ← K2

P527 TIMER 1 START COUNTING TIME

P529 OUTPUT PROTECT DATA

P530 PROTECT DISPLAY ON

P532 TIMER 1 COMPLETION

Fig. 14(c)

リターン RETURN

543 COUNTER ← (n − 1)

P544 IC CARD ON?

P545 COUNTER = 0?

P546 COUNTER ← 10

P547 SET INNER MEMORY MODE

P548 INNER MEMORY MODE?

P549 COUNTER = 0?

P550 COUNTER ← 32

P551 SET IC CARD MODE

P552 COUNTER = 0?

P553 COUNTER ← 10

P554 COUNTER → ADB1

P555 COUNTER DISPLAY

Fig. 14(d)

P556 READ PROTECT DATA

P557 PROTECT DATA

P558 OUTPUT IMAGE SIGNAL

P560 OUTPUT ERASING DATA

P562 ERASE DISPLAY ON

Fig. 15(a)

P601 PLAY MODE?

P605 TIMER 4 ← K4

P606 TIMER 4 START COUNTING TIME

P607 COUNTER ← (n + 1)

P608 IC CARD ON?

P609 COUNTER = 33?

P610 COUNTER ← 1

P611 SET INNER MEMORY MODE

P612 INNER MEMORY MODE?

P613 SET IC CARD MODE

リターン RETURN

P602 SINGLE-FRAME ERASING?

P617 COUNTER = 11?

P618 COUNTER ← 1

P614 COUNTER = 11?

P615 COUNTER ← 1

P616 SET IC CARD MODE

Fig. 15(b)

P619 COUNTER → ADB1

P620 COUNTER DISPLAY

P621 OUTPUT IMAGE SIGNAL

P624 TIMER 4 COMPLETION?

P625 TIMER 4 STOP

P626 READ PROTECT DATA

P627 PROTECT DATA?

P628 PROTECT DISPLAY ON

P629 S6 RELEASING POSITION

P630 OUTPUT RELEASING DATA

P631 PROTECT DISPLAY OFF

P632 S6 ON POSITION

P633 TIMER 1 ← K2

P634 TIMER 1 START TIME COUNTING

P636 OUTPUT PROTECT DATA

P637 PROTECT DISPLAY ON

P639 TIMER 1 COMPLETION?

Fig. 15(c)

P641 TIMER 4 ← K4

P642 TIMER 4 START COUNTING TIME

P643 COUNTER ← (n − 1)

P644 IC CARD ON?

P645 COUNTER = 0 ?

P646 COUNTER ← 10

P647 SET INNER MEMORY MODE

P648 INNER MEMORY MODE?

P649 SET IC CARD MODE

P653 COUNTER = 0

P654 COUNTER ← 10

P650 COUNTER = 0?

P651 COUNTER ← 32

P652 SET IC CARD MODE

P655 OUTPUT COUNTER CONTENTS

P656 COUNTER DISPLAY

P657 OUTPUT IMAGE SIGNAL

P660 TIMER 4 COMPLETION?

Fig. 16

手動駒送り処理　MANUAL FRAME-FORWARDING PROCESS

S4 処理　S4 PROCESS

S5 処理　S5 PROCESS

リターン　RETURN

Fig. 17

S13 ON 処理　S13 ON PROCESS

P701　SET YEAR (S4, S5, ON)

P702　SHIFT MODE (S12 ON)

P703　SET MONTH

P704　MODE SHIFT

P705　SET DATE

P706　MODE SHIFT

P707　SET TIME

P708　MODE SHIFT

P709　SET MINUTE

リターン　RETURN

Fig. 18(a)

IC カード記録処理　IC CARD RECORDING PROCESS

P801　IC CARD ON?

P803　INPUT CARD DATA

P805　IC CARD UNRECORDED?

P806 INNER MEMORY RECORDING EXIST?

P807 LEADING FRAME No. X OF THE RECORDED IMAGE IN THE INNER MEMORY

P808 LEADING FRAME No. Y OF THE RECORDABLE AREA IN THE IC CARD

P809 SET INNER MEMORY MODE

P810 COUNTER ← X

P811 OUTPUT COUNTER CONTENTS

P812 STORE CONTENTS OF INNER MEMORY IN B-MEMORY

Fig. 18(b)

P822 SET INNER MEMORY MODE

P825 COUNTER ← X

P826 OUTPUT COUNTER CONTENTS

P827 INNER MEMORY → B-MEMORY

P829 OUTPUT COUNTER CONTENTS

P830 OUTPUT ERASING DATA

P840 32 INNER MEMORY NUMBER OF RECORDED FRAMES

P841 DISPLAY COUNTER

リターン RETURN

P832 SET IC CARD MODE

P834 COUNTER ← Y

P835 OUTPUT COUNTER CONTENTS

P836 B-MEMORY → MEMORY IC CARD

Fig. 19

記録モード　RECORDING MODE

プロテクトモード　PROTECTIVE MODE

再生モード　REPRODUCTIVE MODE

消去モード　ERASING MODE

IC カード　IC CARD

IC カード（記録終了）　IC CARD (RECORDING END)

内部メモリ　INNER MEMORY